

mardi 2 juin 200

DE d'architecture des ordinateurs

Exercice 1:

a) les différents rôles:

- PC: stocke l'adresse de la prochaine instruction de lecture ou écriture.
- IR: contient l'instruction: opcode + opérande
- MAR: indique l'adresse à la mémoire de ~~la prochaine instruction~~ du prochain accès
- Séquenceur (unité de contrôle): permet d'organiser les différentes opérations
- UAL: unité arithmétique et logique OR

b) le registre R/R permet de réaliser les opérations arithmétique et logique.

→ avantages:

→ inconvénients: ne peut réaliser qu'une opération à la fois

c)

Exercice 2:

a) Cache à correspondance directe: le cache à correspondance permet de stocker à un emplacement une zone restreinte d'adresse, chaque emplacement de ce cache contient une zone restreinte d'adresse, on appelle cela le TAG.

trop brecque

b) l'index permet de savoir et de ranger les données.

c) le cache est vide au départ

• @: 0x1F3DCC04

→ Miss = échec

→ on charge cette adresse dans le cache

• @: 0x00755D01

→ Miss = échec

→ on charge cette adresse dans le cache

• @ 0x1F3DCC04

→ Hit = succès : adresse est trouvée dans le cache

→ on indique au microprocesseur la valeur associée

• @ 0x0B2AB601

→ Miss = échec

→ on charge l'adresse dans le cache

• @ 0x00755D01

→ Hit = succès

→ on indique au microprocesseur qu'on ne trouve la valeur associée

• @ 0x1F3DCC04

→ Hit = succès

MISS

Un

d) Pour calculer le temps moyen global d'accès à une donnée il faut tenir compte de la largeur des bus, la distance entre les deux éléments

DEVOIR ECRIT

Le Mardi 2 Juin 2009

Durée : 2 heures

Sans documents, sans calculatrices

Exercice 0 : QCM

Choisissez une et une seule réponse pour les questions suivantes, et **n'oubliez pas de rendre cette page avec votre copie.**

Dans le processeur du cours, le registre MAR :

- Stocke des adresses
- Stocke des instructions
- Est une opérande
- N'intervient que dans la phase Fetch
- Y'en a MAR

Dans un chronogramme de bus asynchrone :

- Le signal WAIT est géré par le maître
- Il n'y a pas de dispositif maître
- Il y a un signal d'horloge
- Le signal MSYN est toujours activé avant SSYN
- On doit dessiner un smiley quand la transaction est terminée

Quand le clavier émet une demande d'interruption :

- Cette interruption est prioritaire sur toutes les autres
- Cette demande sera traitée lorsque le processeur en aura le temps
- Il choisit la priorité de cette demande
- Il devra en émettre une deuxième à la demande du processeur
- Il doit l'envoyer en recommandé avec accusé de réception

Dans un ordinateur de type multiprocesseur :

- La mémoire est partagée
- La mémoire est distribuée
- Les performances augmentent linéairement en fonction du nombre de processeurs
- Il n'y a pas besoin de bus
- Tous les affichages se font en noir et blanc

Exercice 1 : Processeur

- a) Indiquez le rôle des éléments suivants dans le microprocesseur CISC vu en cours:
- PC
 - IR
 - MAR
 - Séquenceur (unité de contrôle)
 - UAL
- b) Indiquez les avantages et inconvénients de ne disposer que d'un seul registre DO
- c) Que devrait-on faire si l'on souhaitait ajouter d'autres registres de données ?

Exercice 2 : Cache Mémoire

On considère un cache à correspondance directe à 256 emplacements.

- a) Rappelez le principe de fonctionnement d'un cache à correspondance directe
- b) Rappelez pourquoi il est nécessaire de découper les adresses émises par le processeur en une partie TAG et une partie INDEX.
- c) Lorsqu'une adresse 32 bits est émise, combien de bits sont nécessaires pour la partie INDEX ?

Le cache étant vide à l'origine, indiquez les effets des requêtes successives suivantes (HIT ou MISS, et état des emplacements de cache concernés) faites par le microprocesseur (les adresses sont données en base 16 (hexadécimale), ce qui est symbolisé par le fait qu'elles sont précédées de 0x).

1. Lecture à l'adresse 0x1F3DCC04
2. Lecture à l'adresse 0x00755D01
3. Lecture à l'adresse 0x1F3DCC04
4. Lecture à l'adresse 0x032AB601
5. Lecture à l'adresse 0x00755D01
6. Lecture à l'adresse 0x1F3DCC04

- d) On indique que le temps moyen t_{glob} d'accès à une donnée est donné par :

$$t_{glob} = h.t_c + (1-h)(t_c + t_m)$$

Que sont h , t_c et t_m ? Que signifie cette formule ?

Exercice 3 : Chronogramme de bus

On souhaite schématiser une opération (ou transaction) d'écriture de donnée en mémoire par l'intermédiaire d'un bus synchrone.

- a) Indiquez quel est le dispositif maître et quel est le dispositif esclave pour cette transaction.
- b) Parmi les dispositifs maître et esclave, indiquez lequel contrôle chacun des signaux suivants (le signal d'horloge est contrôlé par l'horloge de bus, donc ni par la maître, ni par l'esclave)
 - Bus d'adresse
 - Bus de données
 - \overline{WR} (signal d'écriture)
 - \overline{MREQ}
 - \overline{WAIT}
- c) La mémoire ayant un temps de réponse de 45 ns, et le bus ayant une fréquence de 100 MHz, combien de cycles d'attente seront nécessaires pour que la mémoire ait réalisé l'écriture qui lui est demandée ?
- d) Etablissez le chronogramme complet de cette transaction de bus.