

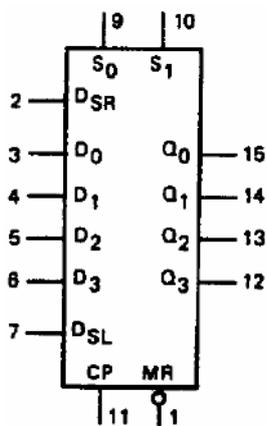
Systemes Numériques

Les registres - applications

Jean Provost

Télécom Paris Tech (ENST), Supélec (ESE), EFREI
Conception de Circuits Intégrés

Registre universel intégré 74 HC 194



Logic symbol

FUNCTION TABLE

OPERATING MODES	INPUTS							OUTPUTS			
	CP	MR	S ₁	S ₀	D _{SR}	D _{SL}	D _n	Q ₀	Q ₁	Q ₂	Q ₃
reset (clear)	X	L	X	X	X	X	X	L	L	L	L
hold ("do nothing")	X	H	l	l	X	X	X	q ₀	q ₁	q ₂	q ₃
shift left	↑	H	h	l	X	l	X	q ₁	q ₂	q ₃	L
	↑	H	h	l	X	h	X	q ₁	q ₂	q ₃	H
shift right	↑	H	l	h	l	X	X	L	q ₀	q ₁	q ₂
	↑	H	l	h	h	X	X	H	q ₀	q ₁	q ₂
parallel load	↑	H	h	h	X	X	d _n	d ₀	d ₁	d ₂	d ₃

Notes

- 1. H = HIGH voltage level
- h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition
- L = LOW voltage level
- l = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
- q,d = lower case letters indicate the state of the referenced input (or output) one set-up time prior to the LOW-to-HIGH CP transition
- X = don't care
- ↑ = LOW-to-HIGH CP transition

CP: Clock Pulse

MR: Master Reset

La sortie série sur décalage à droite se fait sur Q₃.

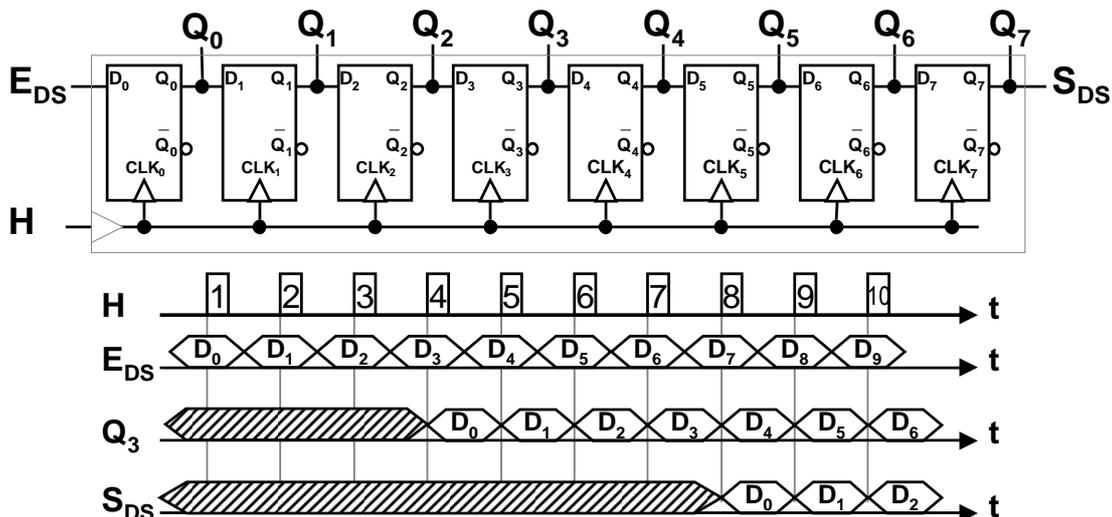
La sortie série sur décalage à gauche se fait sur Q₀.

Compteurs à registres à décalage

- Il s'agit de circuits à décalage rebouclés,
- Il y a ainsi production de séquences d'états spécifiques,
- Certains seront étudiés dans la leçon « Les compteurs »

Retard logique

- Utilisation d'un registre à décalage (ici: de 8 bits, donc 8 bascules) à entrée et sortie de données série,
- D'une horloge (ici: $f_H = 1\text{MHz}$, $T_H = 1\mu\text{s}$),
- Les données entrantes sont retardées de $n \cdot T_H$, avec n le n° de la sortie. Exemple ici: Q_3 et Q_7 .



Universal Asynchronous Receiver Transmitter UART

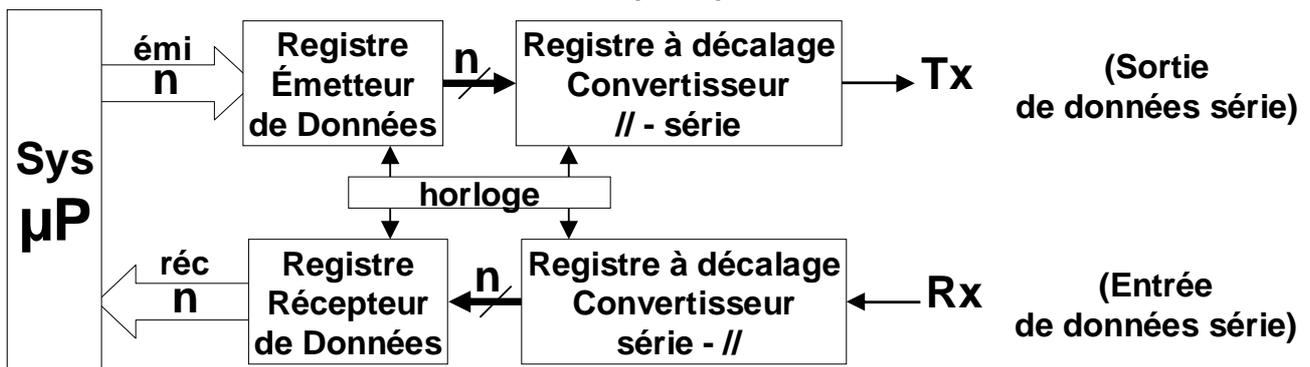
- **Émetteur récepteur asynchrone universel**

- Ce composant est utilisé pour faire la liaison entre:

- un système à μ processeur, travaillant sur n bits (n fils en // constituant un **bus de données**)
- et le **port** ou **liaison série**, travaillant sur 1 bit (1 fil),

- Le but est de limiter le nombre de fils de transmission,

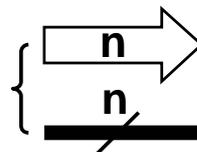
- L'UART est ainsi un convertisseur de données // en données série et réciproquement.



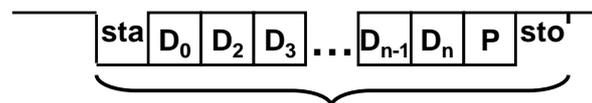
UART (suite)

- **Définitions**

- Bus n bits (//)



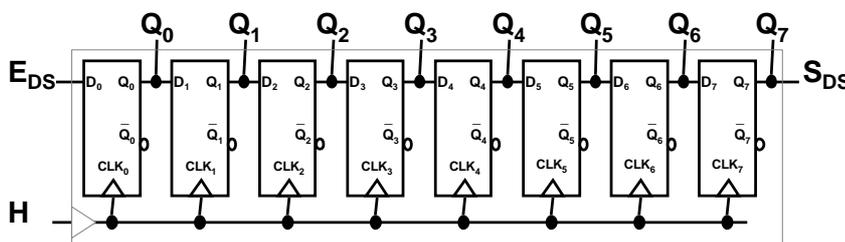
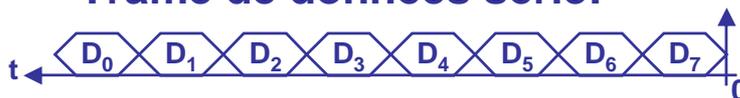
- Trame UART (**série**)



- Données binaires série: **D_0 à D_n**
- Bit de parité: **P**
- Bit de départ (start) = **0**: **sta**
- Bit de fin (stop) = **1**: **sto**

Convertisseur série //

- Soit un registre à décalage de n bits (n bascules),
- n bits se présentent sur l'entrée de données série,
- Au bout de n impulsions d'horloge ces n bits sont disponibles sur les n sorties //,
- Exemple pour 8 bits avec CI: $Q_i = 0$,
- Trame de données série:



H	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇
CI	0	0	0	0	0	0	0	0
1	D ₇	0	0	0	0	0	0	0
2	D ₆	D ₇	0	0	0	0	0	0
3	D ₅	D ₆	D ₇	0	0	0	0	0
4	D ₄	D ₅	D ₆	D ₇	0	0	0	0
5	D ₃	D ₄	D ₅	D ₆	D ₇	0	0	0
6	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	0	0
7	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	0
8	D ₀	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇

Systemes Numériques

Les compteurs

Définitions (1)

- Un compteur est un *circuit séquentiel* permettant d'établir une *correspondance univoque* entre le *nombre d'impulsions* appliquées sur son *entrée d'horloge* et *l'état de la sortie*.
- L'opérateur de base d'un compteur est *la bascule à déclenchement sur front*.
- À chaque instant l'état du comptage est donné par la sortie des bascules.
- Un compteur constitué de *N bascules* délivre **au plus** *2^N combinaisons de sortie*.

Définitions (2)

- **Fonction**
 - Dispositif de *comptage binaire* modulo N: N états
- **Utilisation**
 - Comptage d'évènements,
 - Programmation de relations d'ordre,
 - Division de fréquence,
 - Adressage de mémoires d'accès séquentiel (FIFO)...

Définitions (3)

- **Compteur synchrone ou parallèle**
 - Un système séquentiel est synchrone lorsque tous les changements d'états du système sont synchronisés par:
 - le même front,
 - d'un même signal d'horloge.
- **Compteur asynchrone ou série ou à propagation**
 - Si ce qui précède n'est pas vérifié, le système est dit asynchrone,
 - Un compteur asynchrone possède une signal d'horloge mais qui ne sert qu'à déclencher la première bascule, celle de poids le plus faible,
 - Le déclenchement des bascules suivantes dépend de l'état des bascules précédentes,
 - La structure des compteurs asynchrones entraîne la propagation en cascade des changements d'état du système.

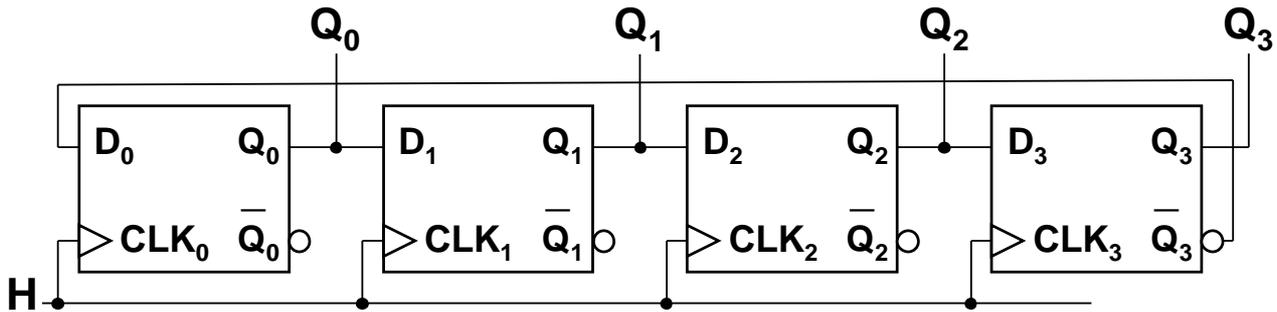
Définitions (4)

- **Compteur à cycle complet**
 - Un compteur binaire à cycle complet de N bits comporte N bascules,
 - Il énumère ses 2^N états dans l'ordre binaire naturel soit de 0 à $2^N-1|_{10}$.
- **Compteur à cycle incomplet**
 - Un compteur binaire de N bits comportant donc N bascules, permet d'énumérer des cycles incomplets de M états ($M \leq 2^N$) dans un ordre quelconque.

Registre à décalage bouclé

- Compteur de Johnson (ici: 4 bits)

- Le circuit est synchrone ($CLK_i = H = \underline{\hspace{1cm}} \overline{\hspace{1cm}}$),
- Les bascules sont connectées en cascade: $D_i = Q_{i-1}$
- Sauf la première entrée qui est connectée sur la dernière sortie complémentée, ici: $D_0 = \overline{Q_3}$.

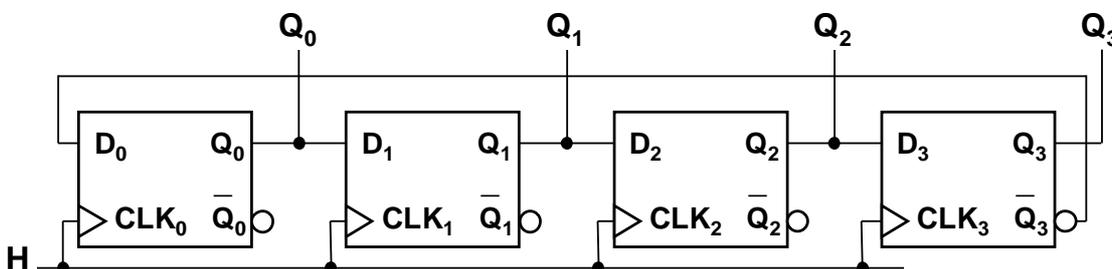


Registre à décalage bouclé

- Compteur de Johnson (suite)

- Le registre contient le mot $Q_0 Q_1 Q_2 Q_3 = A B C D$ (Cl: conditions initiales)
- Le mot se décale à droite sur chaque $H = \underline{\hspace{1cm}} \overline{\hspace{1cm}}$
- Au moment du rebouclage l'élément est complémenté

H	Q_0	Q_1	Q_2	Q_3
Cl	A	B	C	D
1	\overline{D}	A	B	C
2	\overline{C}	\overline{D}	A	B
3	\overline{B}	\overline{C}	\overline{D}	A
4	\overline{A}	\overline{B}	\overline{C}	\overline{D}
5	D	\overline{A}	\overline{B}	\overline{C}
6	C	D	\overline{A}	\overline{B}
7	B	C	D	\overline{A}
8	A	B	C	D

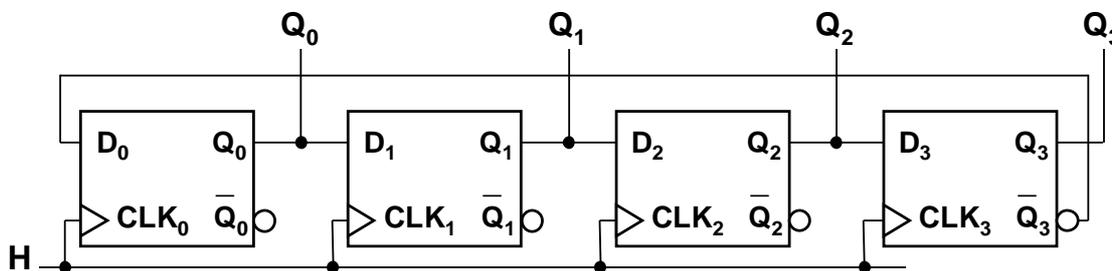


Registre à décalage bouclé

- Compteur de Johnson (suite)

- Cas particulier: le registre contient le mot: $Q_0 Q_1 Q_2 Q_3 = 0 0 0 0$ (CI: conditions initiales)
- Le compteur se remplit de 1, puis de 0...

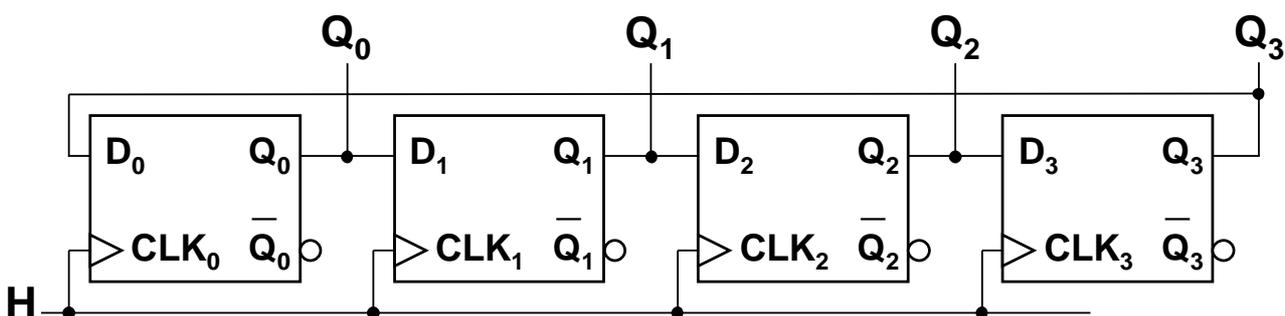
H	Q_0	Q_1	Q_2	Q_3
CI	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	1	1	1	0
4	1	1	1	1
5	0	1	1	1
6	0	0	1	1
7	0	0	0	1
8	0	0	0	0



Registre à décalage bouclé

- Compteur en anneau (ici: 4 bits)

- Le circuit est synchrone ($CLK_i = H = \sqrt{f}$),
- Les bascules sont connectées en cascade: $D_i = Q_{i-1}$
- Sauf la première entrée qui est connectée sur la dernière sortie, ici: $D_0 = Q_3$.

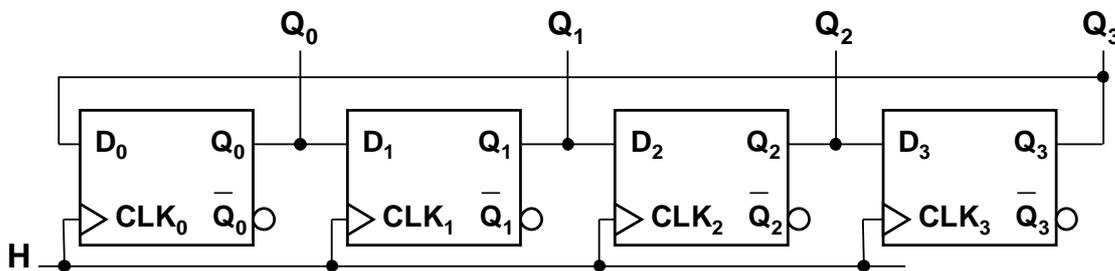


Registre à décalage bouclé

- Compteur en anneau (suite)

- Au moins un 1 doit être présent dans le registre (CI: conditions initiales)
- Puis le 1 se décale à droite sur chaque $H = \int$

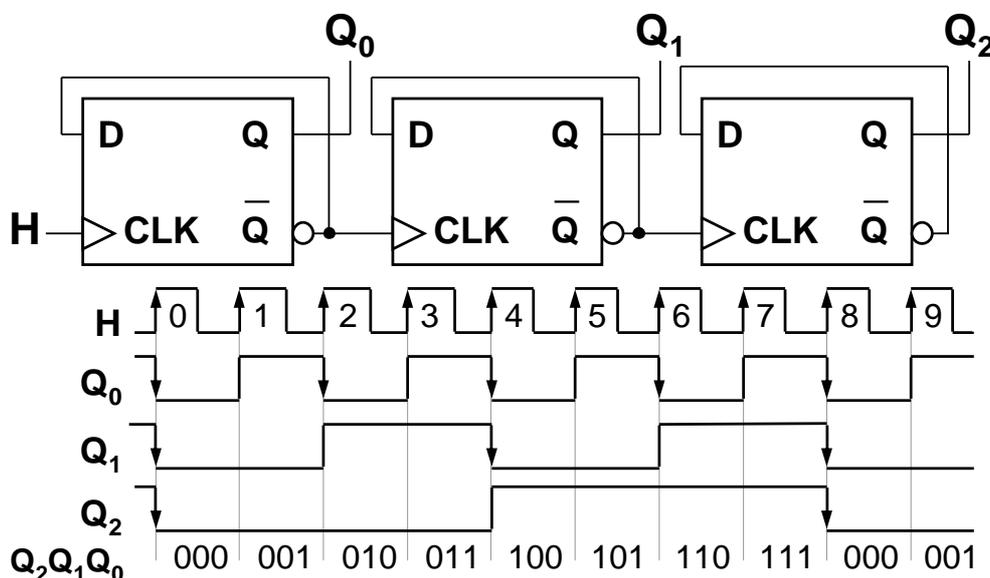
H	Q ₀	Q ₁	Q ₂	Q ₃
CI	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1
4	1	0	0	0
5	0	1	0	0



Compteurs asynchrones

- Compteurs asynchrones à cycle complet

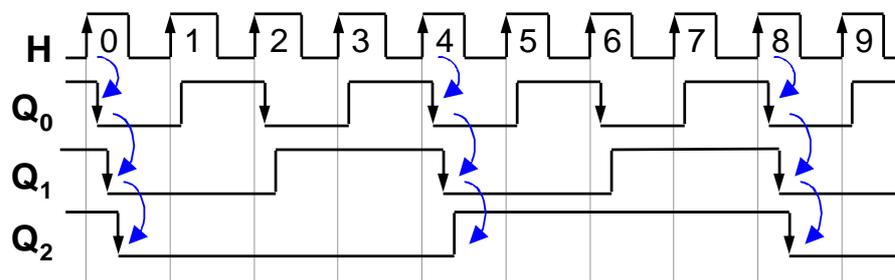
- Les **bascules D** sont montées en diviseur par 2: $D_i = \bar{Q}_i$,
- Seule la bascule Q₀ est déclenchée par H: $CLK_0 = H$,
- Les autres bascules sont déclenchées par \bar{Q} : $CLK_i = \bar{Q}_{i-1}$.



Compteurs asynchrones

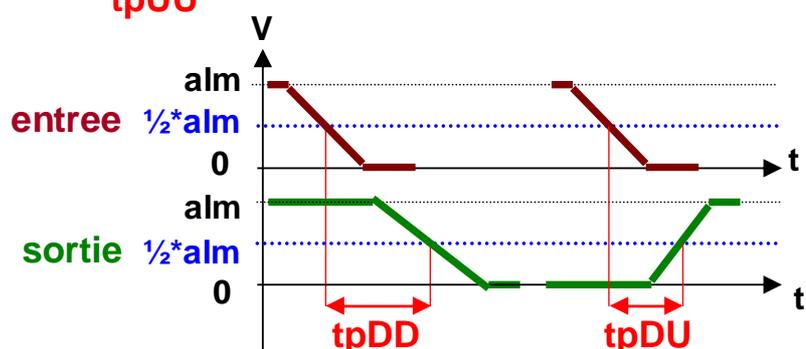
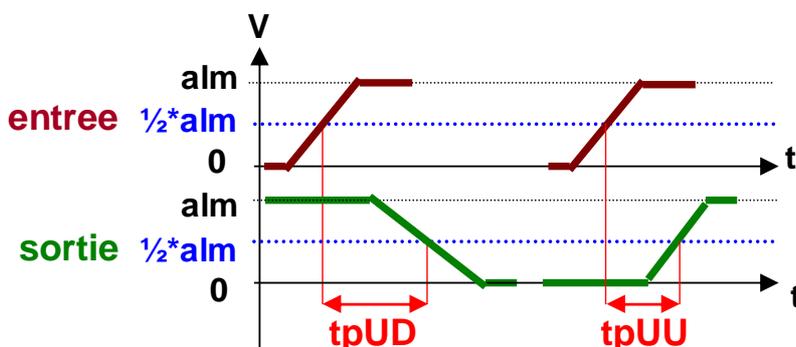
• Compteurs asynchrones à cycle complet

- Le chronogramme précédent ne tient pas compte du temps de propagation dans chaque bascule,
- La structure cascadée induit un cumul des retards entre l'entrée CLK_i et les sorties Q_i et \bar{Q}_i .
- Ainsi plus le nombre de bascules est grand plus le retard de la dernière bascule est grand,
- Le décalages des sorties les unes par rapport aux autres peuvent produire des états transitoires indésirables.



Temps (retard) de propagation

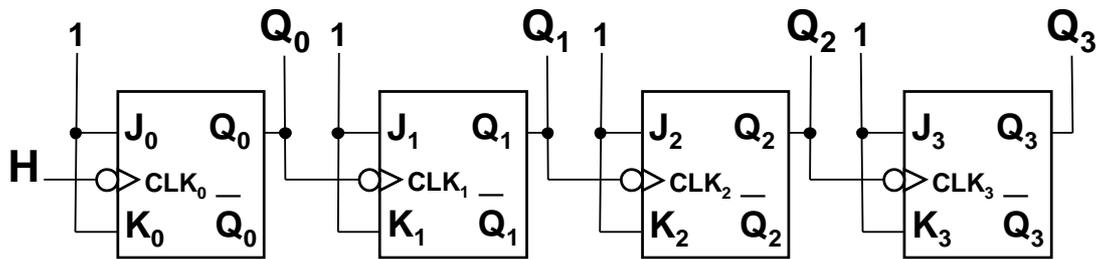
- Le temps de propagation est le temps écoulé entre
 - le passage à 50% ($1/2$) de l'excursion du signal amont (entrée),
 - et le même passage du signal aval (sortie) conséquence du premier.



Compteurs asynchrones

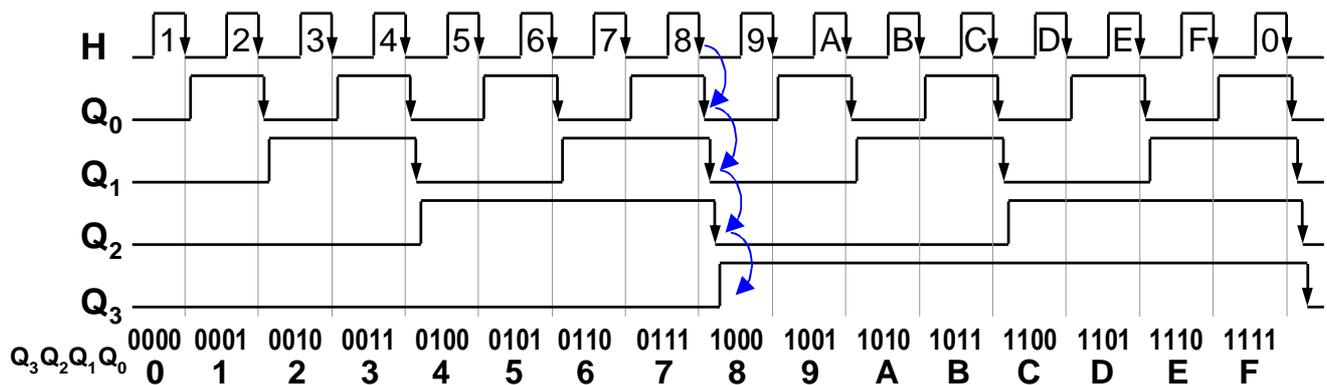
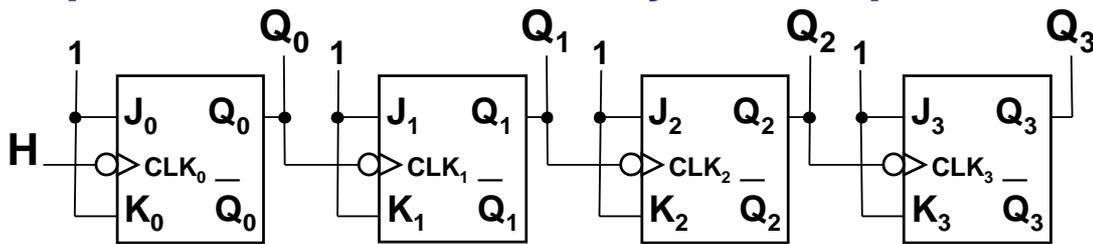
Compteurs asynchrones à cycle complet

- Les entrées prioritaires asynchrones inactives: $\overline{PRE} = \overline{CLR} = 1$,
- Les **bascules JK** programées en bascule: $J_i = K_i = 1$,
- Seule la bascule Q_0 est déclenchée par H: $CLK_0 = H$,
- Les autres bascules sont déclenchées par Q : $CLK_i = Q_{i-1}$,
- Le déclenchement se fait sur front descendant: $CLK_i = \downarrow$
- Le nombre compté est donné par: $Q_3 Q_2 Q_1 Q_0$.



Compteurs asynchrones

Compteurs asynchrones à cycle complet



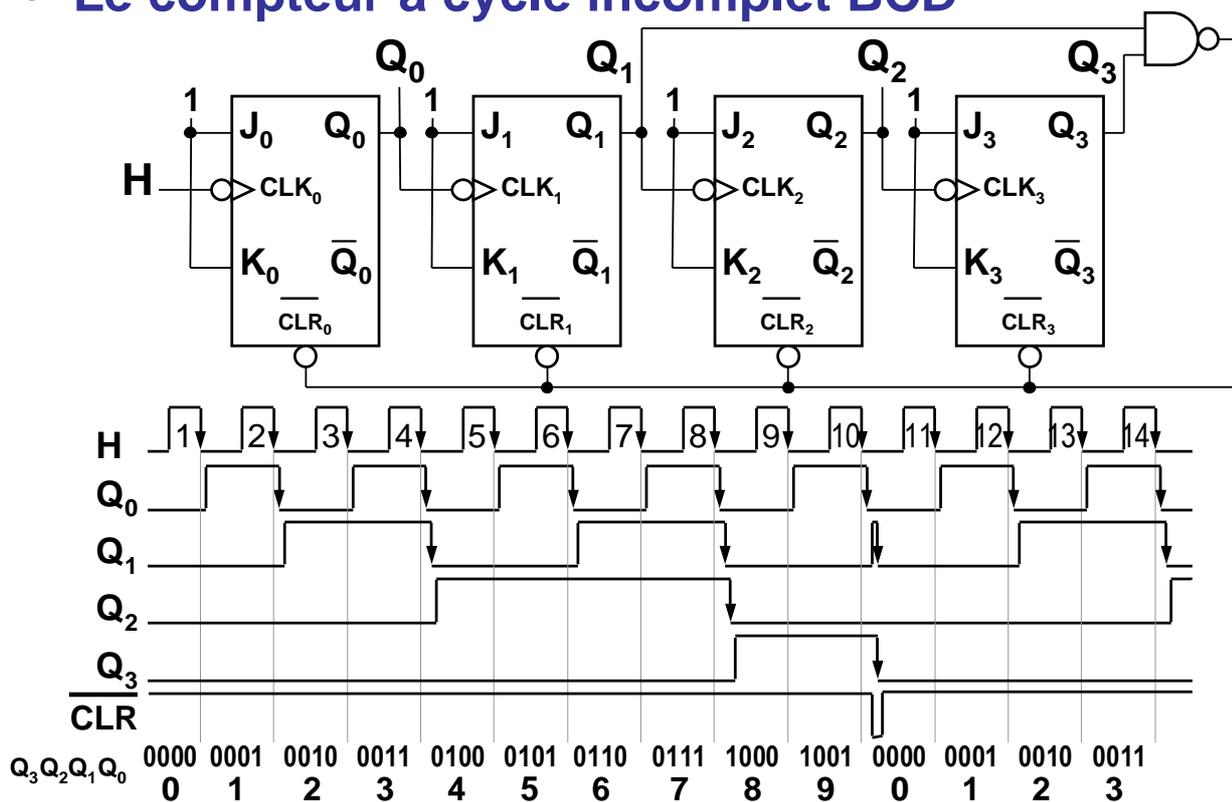
Compteurs asynchrones

• Compteurs asynchrones à cycle incomplet

- Compteurs à énumération de 0 à N-1 ou modulo N ou #N,
- Exemple: le compteur BCD (Binary Coded Décimal)
 - Comporte 4 bascules: $2^3 = 8 < 9 < 2^4 = 16$
 - Tronque le cycle complet pour compter de 0 à 9,
 - Détecte $10|_{10} = 1010|_2$ de manière combinatoire pour...
 - Commander une RàZ asynchrone et recommencer le comptage à 0,
 - $\overline{\text{CLR}} = \overline{Q_3} \cdot \overline{Q_1}$
 - Engendre un aléa de commutation (état transitoire, « glitch ») à l'état $10|_{10} = 1010|_2$
 - .../...

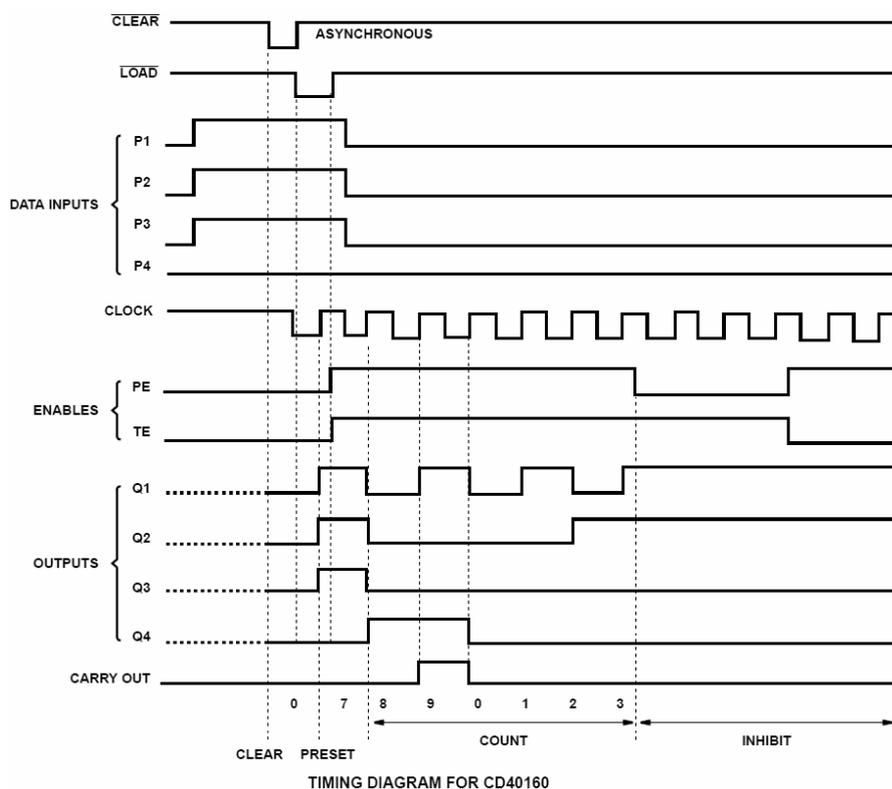
Compteurs asynchrones

• Le compteur à cycle incomplet BCD



Compteur synchrone

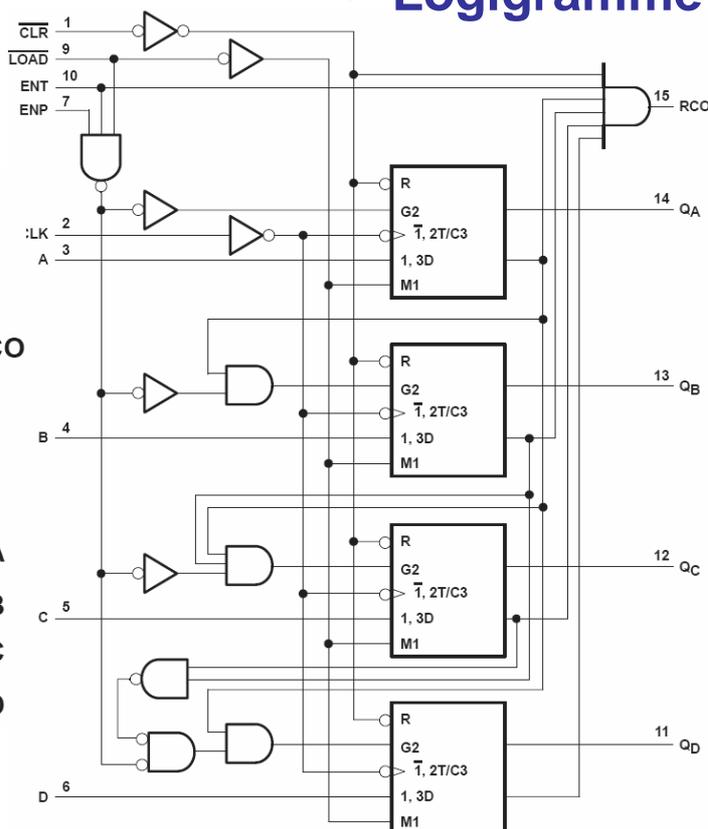
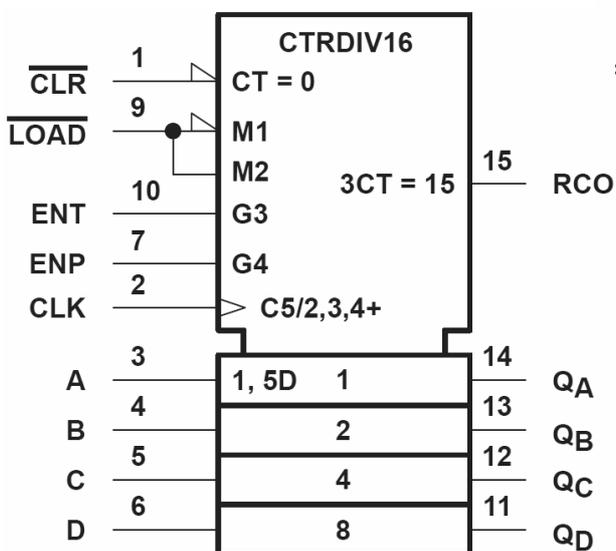
- Fonctionnement: **CLEAR**, **LOAD**, **RCO**...



Compteur intégré standard

- Logigramme

- Symbole



Compteur intégré standard

- Chronogramme

