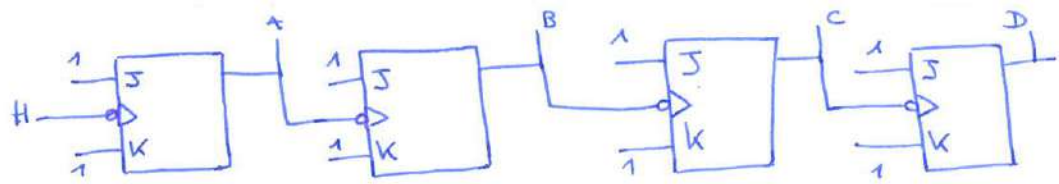
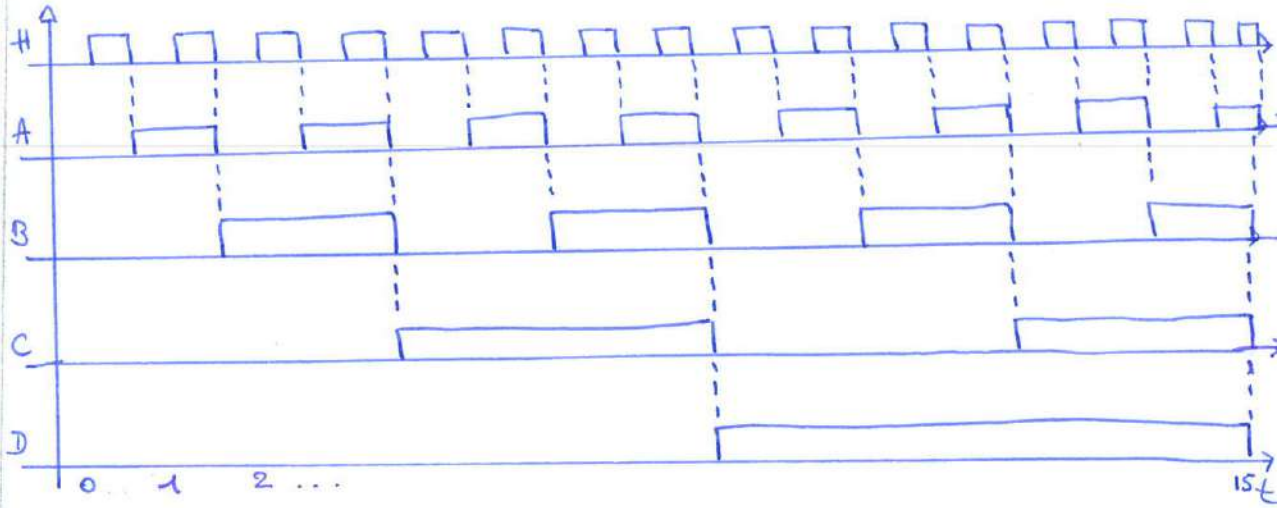


$(DCBA)_2$

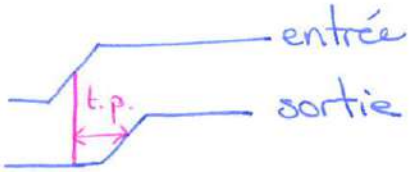


C'est un compteur modulo 16.

retard de propagation

Il existe deux types de retard de propagat°

Le temps de propagation c'est le temps entre les 50% de l'entrée et les 50% de la sortie.



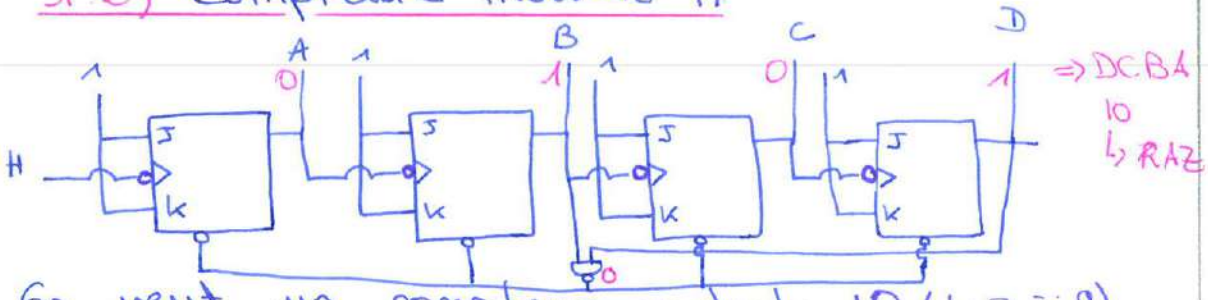
ex du dessus: Il y aura un retard entre H et A, A et B, B et C, C et D. A chaque fois, il faut rajouter le tps de propagation.

On peut voir apparaitre des états transitoires. Ce retard cumulatif est un désavantage majeur car il limite la fréquence de synchronisation de l'horloge et crée des problème de décodage. Le retard cumulatif maximal doit tjs être inférieur à la période du signal d'horloge.

ex tps de retards de propagat° de 10 ns
tps de propagat° totale = 40 ns

$$f_{max} = \frac{1}{40 \cdot 10^{-9}} = 25 \text{ MHz}$$

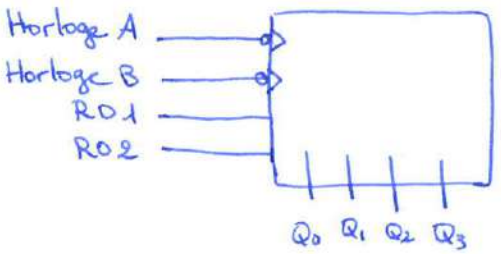
1.2) Compteurs modulo n



On veut un compteur modulo 10 (de 0 à 9)
Il faut donc le remettre à 0. Il faut le faire sur le 10 car si on le fait sur le 9, il n'apparaîtra que quelques nanosec. et on ne le verra pas.

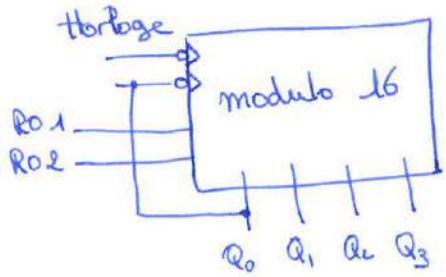
1.3) Les circuits intégrés

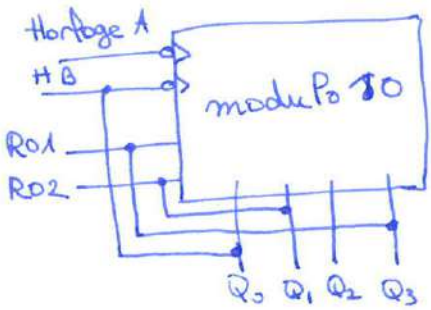
exemple 74LS93



RO1 et RO2 remise à 0
RO1 = RO2 = 1

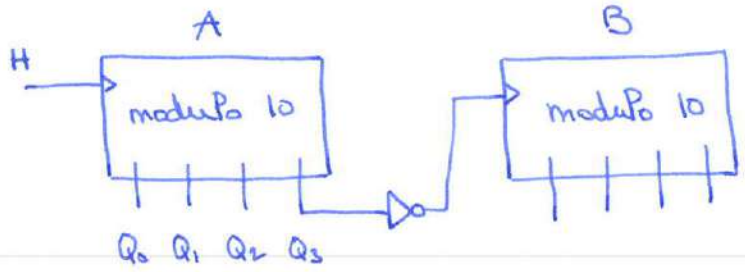
Horloge A : modulo 8
Horloge B : modulo 16





exemple d'application

↳ compteur décimaux



B	A
0000	0000
⋮	⋮
0001	1001
⋮	0000
	⋮

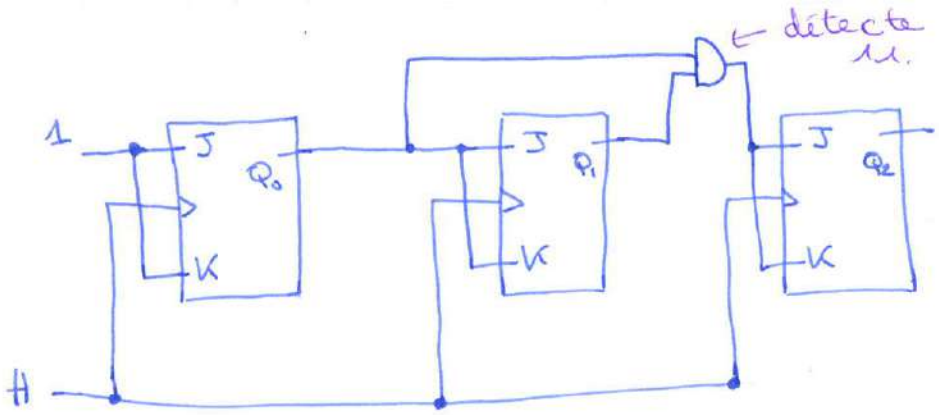
C'est ce qu'on utilise dans les chronomètres avec un compteur modulo 10 et un modulo 6

II / Compteur synchrone

Les compteurs synchromes permettent d'une part de déterminer les états transitoires et d'autre part de rendre possible l'exécution d'un cycle quelconque. Même horloge pr ttes les bascules

2.1) Exemple d'un compteur binaire synchrone de 3 bits

Horloge	Q_2	Q_1	Q_0
état initial	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1



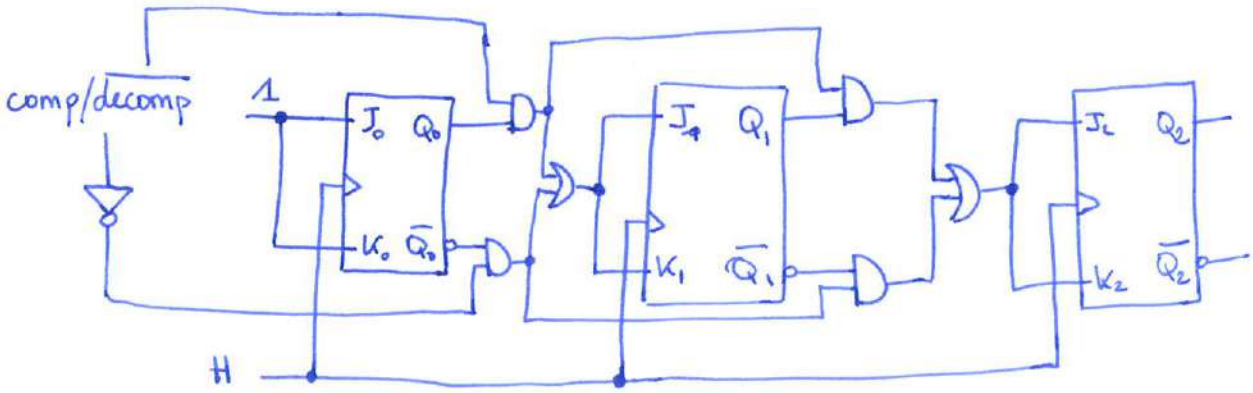
Q_1 change d'état à chaque front descendant de Q_0

2.2) Compteur reversible

C'est un compteur décompteur (0→7 puis 7→0)

En comptage ou en décomptage, Q_0 change à chaque front d'horloge.

comp / $\overline{\text{décomp}}$

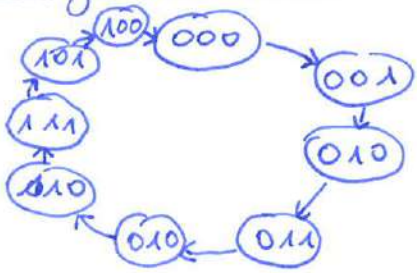


Q_1 : $J_1 = K_1 = Q_0\,comp + \overline{Q_0}\,\overline{décomp}$

Q_2 : $J_2 = K_2 = Q_0 Q_1\,comp + \overline{Q_0}\,\overline{Q_1}\,\overline{décomp}$

2.3) Conception de compteur synchrone

3.3.1) Diagramme des états



2.3.2) Table des états suivants

états présents Q_2 Q_1 Q_0	états suivants Q_2 Q_1 Q_0
0 0 0	0 0 1
0 0 1	0 1 1
0 1 1	0 1 0
0 1 0	1 1 0
1 1 0	1 1 1
1 1 1	1 0 1
1 0 1	1 0 0
1 0 0	0 0 0

2.3.3) Table de transition des basculeu

J	K	Q_{t+1}
0	0	Q_t
0	1	0
1	0	1
1	1	$\overline{Q_t}$

$Q_t \longrightarrow Q_{t+1}$	J K
0 → 0	0 ϕ
0 → 1	1 ϕ
1 → 0	ϕ 1
1 → 1	ϕ 0

indifféren

2.3.4) Equations Logiques

J_0

Q_2Q_1 \ Q_0	0	1
00	1	ϕ
01	0	ϕ
11	1	ϕ
10	0	ϕ

K_0

Q_2Q_1 \ Q_0	0	1
00	ϕ	0
01	ϕ	1
11	ϕ	0
10	ϕ	1

$J_0 = Q_2Q_1 + \overline{Q}_2\overline{Q}_1$

$= \overline{Q_2 \oplus Q_1}$

$K_0 = \overline{Q}_2Q_1 + Q_2\overline{Q}_1$

$= Q_2 \oplus Q_1$

J_1	0	1
00	0	1
01	ϕ	ϕ
11	ϕ	ϕ
10	0	0

K_1	0	1
00	ϕ	ϕ
01	0	0
11	0	1
10	ϕ	ϕ

$J_1 = \overline{Q}_2Q_0$

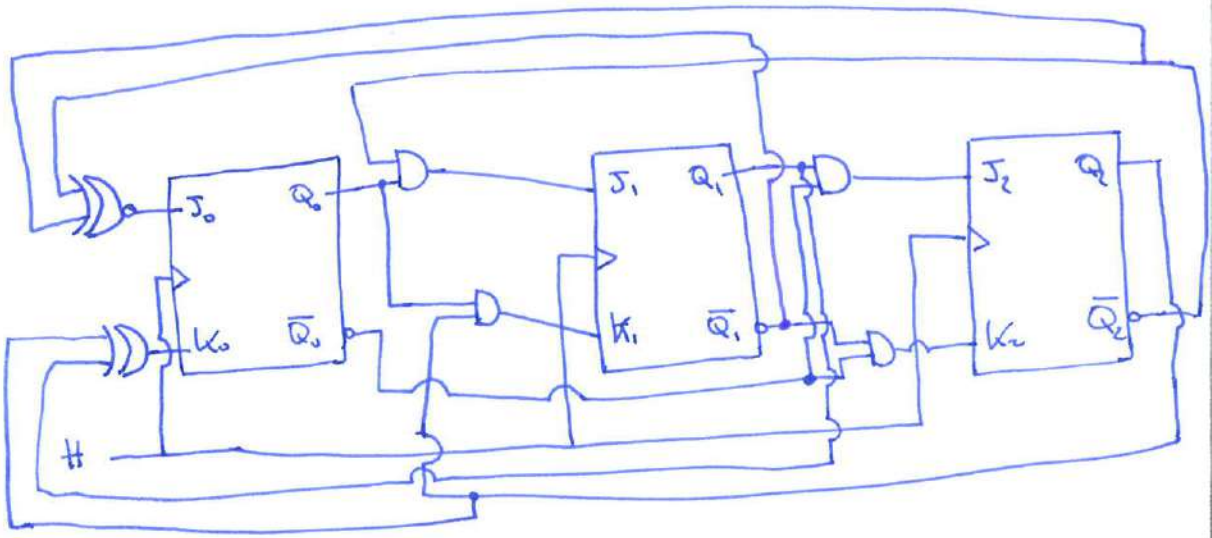
$K_1 = Q_2Q_0$

J_2	0	1
00	0	0
01	(1)	0
11	(φ)	φ
10	φ	φ

K_2	0	1
00	(φ)	φ
01	φ	φ
11	0	0
10	(1)	0

$J_2 = Q_1 \bar{Q}_0$

$K_2 = \bar{Q}_1 \bar{Q}_0$



exemple 2 On prend comme contrainte $J = K$

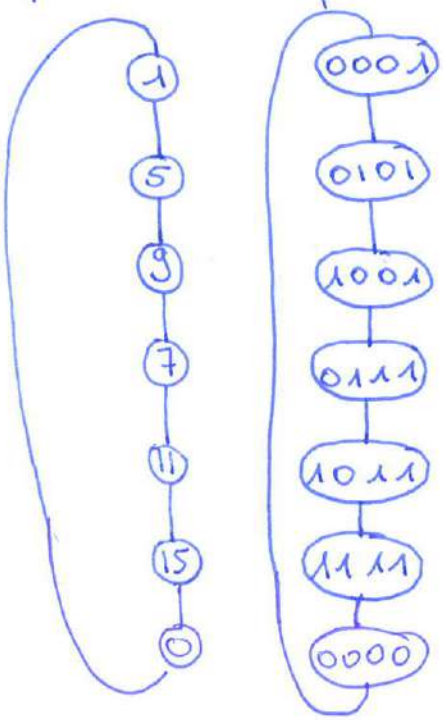


table des états suivants

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0001	0101	φ	φ
01	φ	1001	1011	φ
11	φ	φ	0000	φ
10	φ	0111	1111	φ

$J_0 = K_0 = \overline{Q_0} + Q_2 Q_3$

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	1	0	ϕ	ϕ
01	ϕ	0	0	ϕ
11	ϕ	ϕ	1	ϕ
10	ϕ	0	0	ϕ

$J_1 = K_1 = Q_2 Q_3 + Q_3 \overline{Q_1}$

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0	0	ϕ	ϕ
01	ϕ	0	0	ϕ
11	ϕ	ϕ	1	ϕ
10	ϕ	1	0	ϕ

$J_2 = K_2 = Q_0$

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0	1	ϕ	ϕ
01	ϕ	1	1	ϕ
11	ϕ	ϕ	1	ϕ
10	ϕ	1	1	ϕ

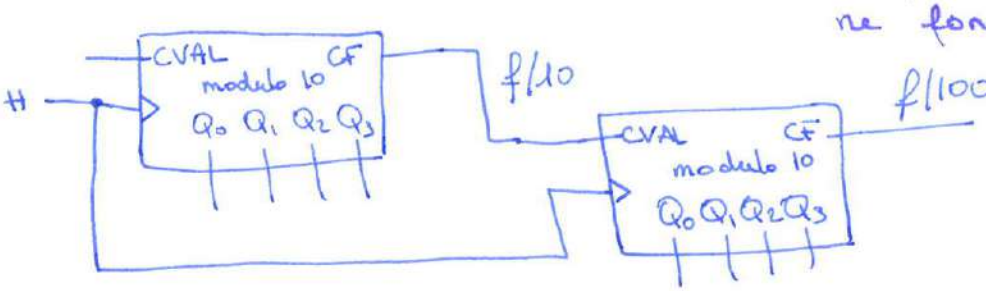
$J_3 = K_3 = Q_2 + Q_3 \overline{Q_1}$

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0	0	ϕ	ϕ
01	ϕ	1	1	ϕ
11	ϕ	ϕ	1	ϕ
10	ϕ	1	0	ϕ

III / Compteurs montés en cascade

CVAL = 1 le compteur fonctionne (entrée de validation)

CVAL = 0 le compteur ne fonctionne pas

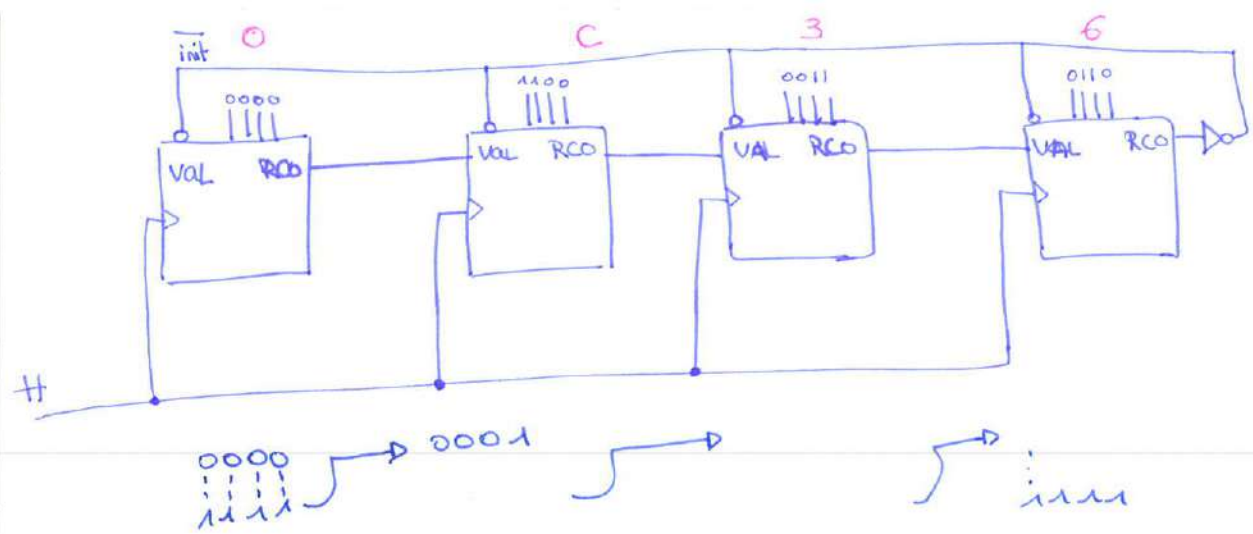


exemple 2

On conçoit un compteur avec une séquence tronquée

2^{16} sorties (4 compteurs) = 65 536

module 40 000 : $\frac{-40\ 000}{25\ 536} = 63C0]_{16}$



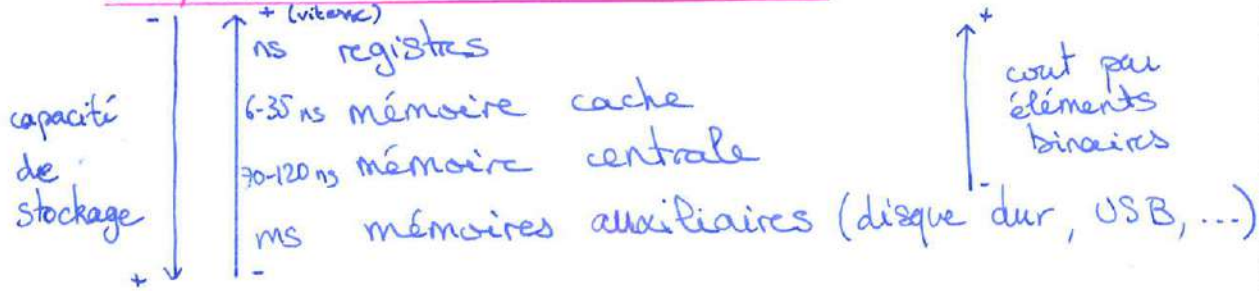
Chapitre IV : des mémoires

I / Généralités et définitions

Un ordinateur a deux caractéristiques essentielles :

- vitesse d'execution
- capacité de mémoire

1.1) Hiérarchie des mémoires



1.2) Organisation des informations

bits octets (multiple de 8 bits)

mots (multiple d'octets)

↳ **adresse**

emplacement d'une unité de donnée

↳ **capacité mémoire**

correspond au nb d'info que peut contenir la mémoire

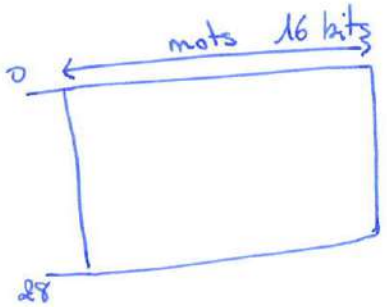
kilo octets : 1024 octets = 2^{10} octets K_o

méga octets : 2^{20} octets Mo
giga octets : 2^{30} octets Go
tera octets : 2^{40} octets To

512 Mega mots de 16 bits

$2^9 \times 2^{20}$ mots de 16 bits

2^{29} mots de 16 bits



$2^{29} \times 2^4$ bits

2^{33} bits

↳ <u>temps d'accès</u>

tps qui s'écoule entre le lancement d'u opérat° d'accès (lecture ou écriture) et son accomplissemt

mémoires RAM, ROM, registres ns

et fréquence = $\frac{1}{\text{tps d'accès}}$

↳ <u>bande passante de la mémoire</u>

$Bp = n \times f$

↑ nb bit de données

↳ <u>volatilité</u>

caractérise la permanence d'une info dans la mémoire.

Une mémoire volatile a besoin d'un apport extérieur pr conserver la mémoire.

↳ différents types d'accès mémoire

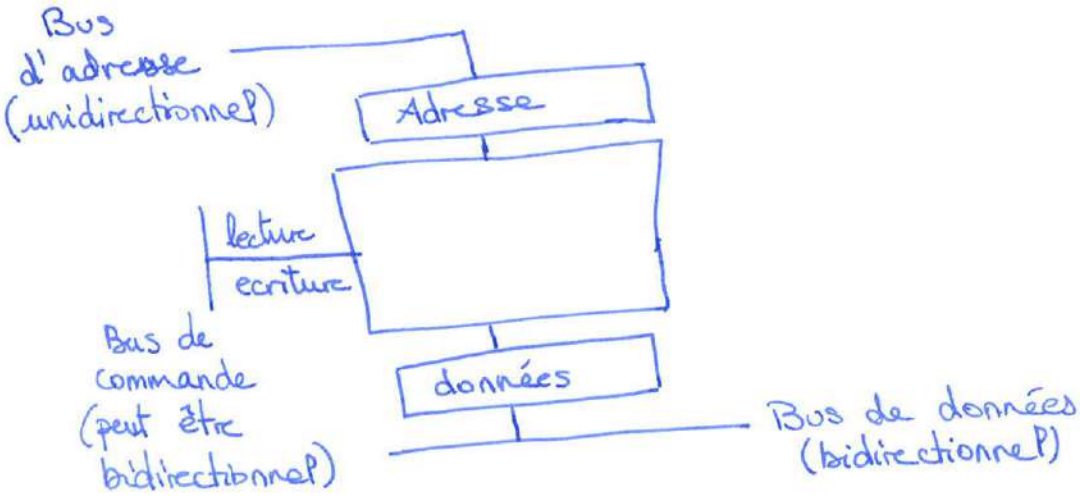
accès séquentiel ⇒ le + lent
(bande magnétique)

accès direct ⇒ par @

accès semi-séquentiel ⇒ combinaison des deux accès précédents
(disque magnétiques)

accès par contenu ⇒ mémoire cache
identifié par clé

II/ Mémoire centrale : mémoire à semi-conducteurs



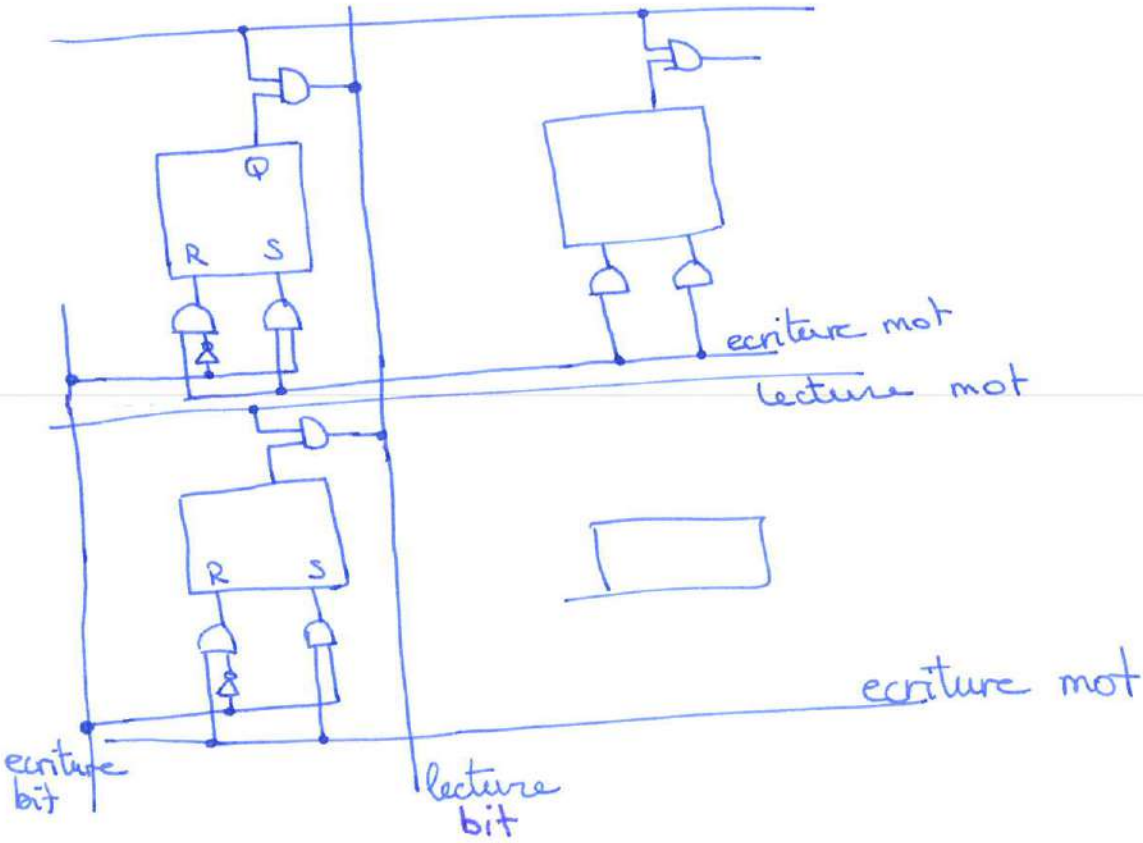
mémoire vive = RAM
Random Acces Memory

mémoire morte = ROM
Read Only Memory

III/ des mémoires vives (RAM)

RAM statique (cache) et RAM dynamique (centrale)

3.1) SRAM

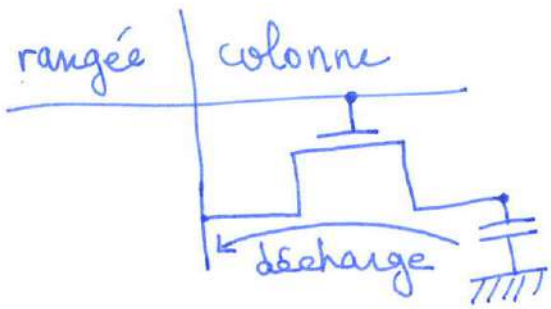


3 2) Mémoire vive dynamique DRAM

stocke données ds condensateur

avantage : simplicité, permet de construire de gd tableau à cout faible

inconvénient : on doit rafraichir les données régulièrement



* rangée niveau haut transisteur conduit condensateur décharge
* rangée Ø condensateur garde la valeur (intérupteur ouvert)

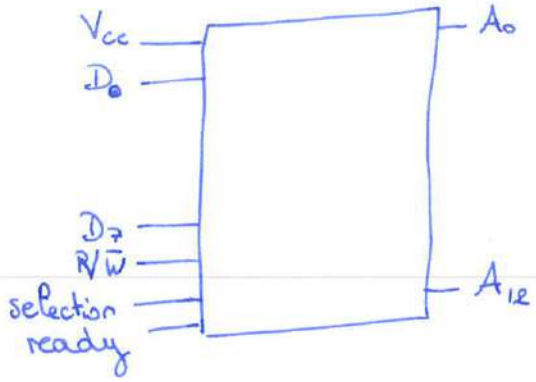
IV/ Mémoires mortes

↳ ROM : mémoire programmée par le fournisseur

↳ PROM : programmable qu'une seule fois par l'utilisateur

↳ EPROM : mémoire programmable par l'utilisateur

exemple Brochage et fonctionnement

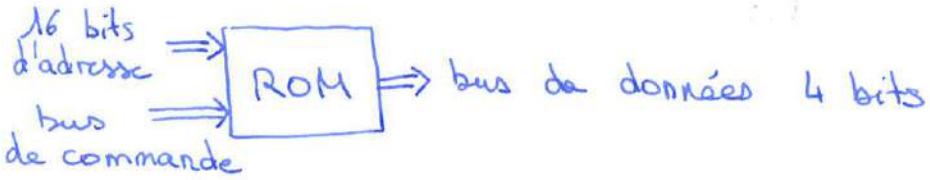


2^{13} addresses et
8 bits de données

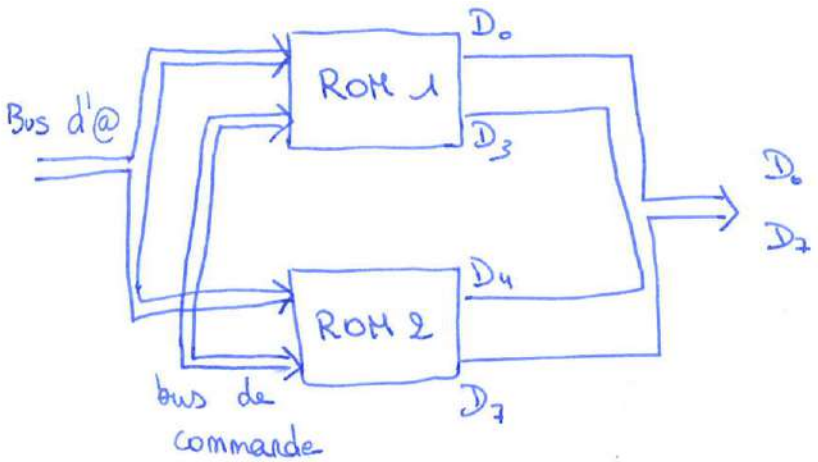
$2^{13} \times 2^3 = 2^{16}$ bits

V/ Extention de la mémoire

5.1) Extention de la longueur du mot

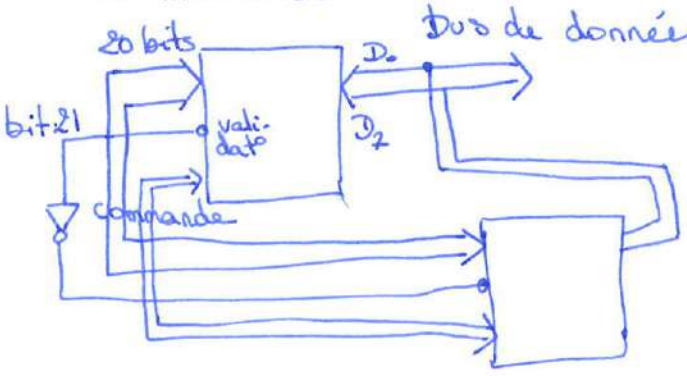


On cherche à obtenir une longueur de 8 bits



5.2) Extention de la capacité de mots

2 mémoires RAM de 1M×8 a obtenir 2M×8



Chapitre V : Introduction aux micro-contrôleurs

Utilisé dans l'électroménager, ds l'automobile
informatique industrielle => milieu entre informatiq
et électronique.

d'architecture interne de ce micro-controleur (68HC11)

↳ Unité centrale
↳ Mémoire
- RAM
- ROM
- EEPROM
↳ Compteur / timeur de 16 bits
↳ 38 entrées/sorties logiques
↳ Une liaison série asynchrone SCI
↳ Une liaison série synchrone SPI
↳ Un convertisseur analogique/numérique

I/Modèle de programmation

1.1) Registres de l'unité centrale

↳ 2 accumulateurs A et B de 8 bits
constructs logiques et arithmétiques
ou ↳ 1 accumulateur D = A + B
↳ 16 bits

exemple A B A Accum A + Accum B => Accum A

↳ 2 registres d'index X et Y de 16 bits
utilisés comme pointeur
" en adressage indexé

↳ Compteur ordinal : PC
(compteur qui pointe sur chaque instruct°)

↳ Pointeur de pile : SP
(pointe sur la 1° @ libre de la pile)

Remarque : - interruption matérielle ou logicielle

interruption matérielle => vient d'un périphérique qui demande la main à l'ordi
l'ordi va contrôler si interruption ⊕ prioritaire
Si non traite interruption puis revient au programme initial.

timer programmer en interruption

2 broches externes d'interruption

1.2) Les signaux disponibles

↳ les ports et autres sorties (7)

→ ports unidirectionnels
Port B en sortie
Port E en entrée

→ ports bidirectionnels
programmation à l'aide d'un registre DDR
8 bits
DDRD $42

PD6 = PD1 = 1

= hexadécimal

à nous de programmer si Sortie ou entrée