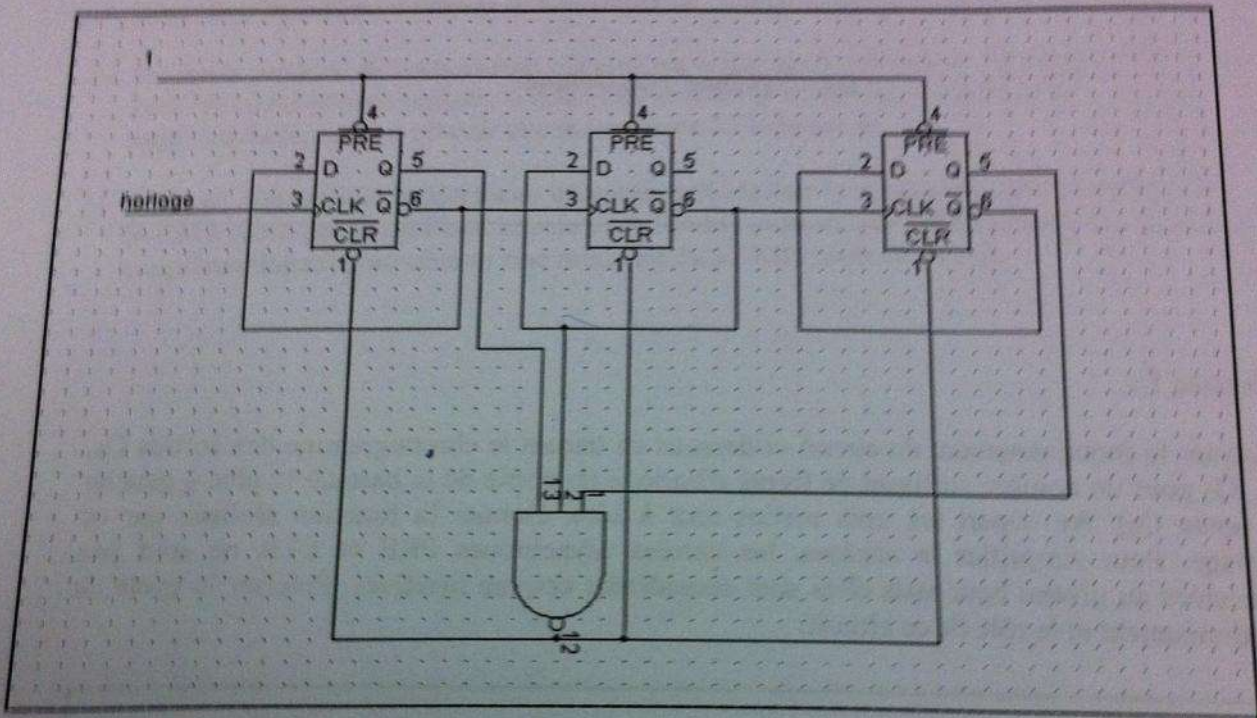






**Exercice 2 :**

1) Analyser le fonctionnement du circuit ci-dessous en traçant le chronogramme des sorties  $Q_0$ ,  $Q_1$ ,  $Q_2$  pour un nombre suffisant de fronts d'horloge (la sortie de la bascule la plus à gauche est notée  $Q_0$ ). Au départ les trois sorties sont à zéro. Les entrées  $\overline{PRE}$  sont à 1.



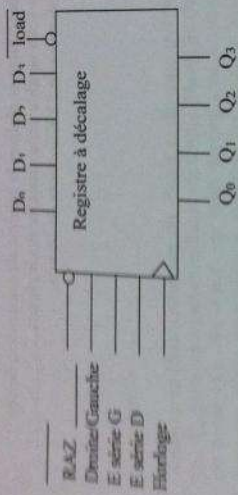
2) Donner la fonction réalisée par ce montage. Préciser le cycle de fonctionnement et le rôle de ce circuit.

3) Proposer le schéma d'un montage réalisant un compteur binaire asynchrone modulo 11.

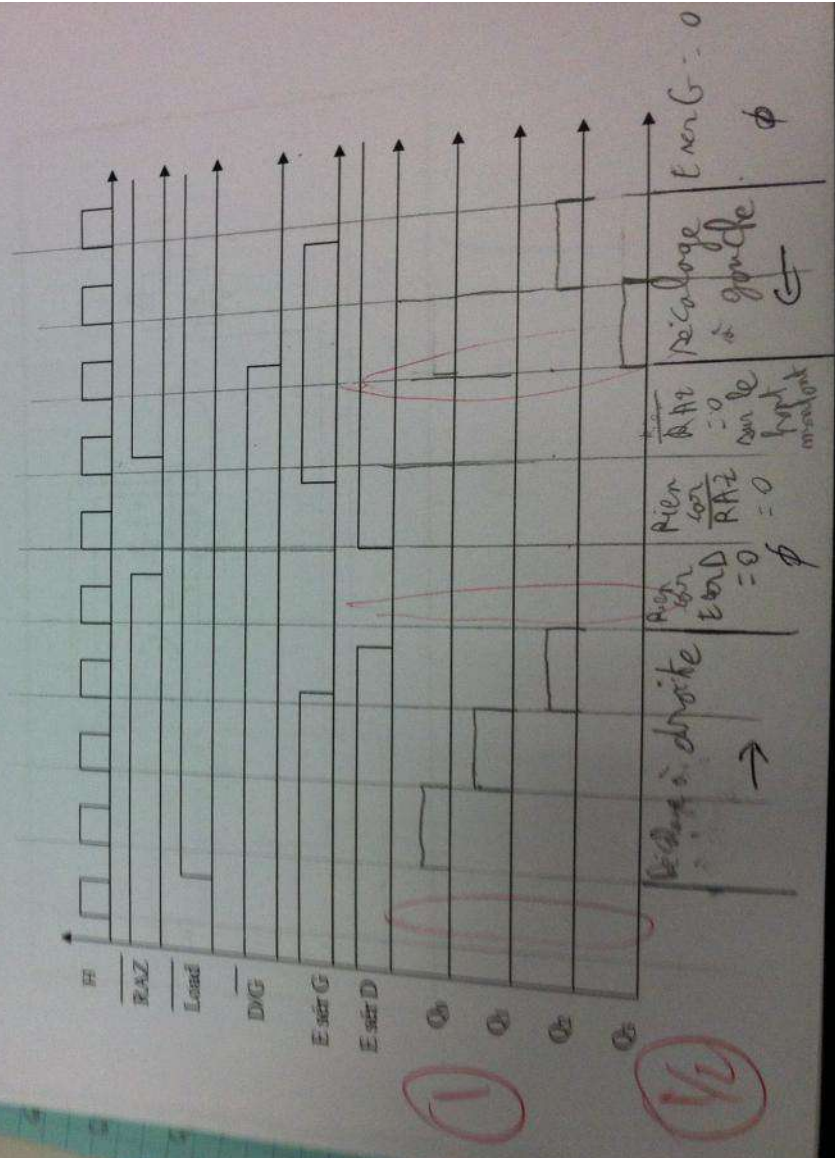


Exercice 3

Soit le registre à décalage bidirectionnel de quatre bits de la figure ci-dessous.  
 Les entrées D0, D1, D2, D3 sont des entrées de chargement parallèle. L'entrée load active sur  
 niveau bas permet le chargement parallèle de ces entrées (D0=1, D1=0, D2=1, D3=1) sur  
 front actif de l'horloge. Elle est prioritaire par rapport aux entrées de décalage.  
 L'entrée RAZ (de remise à zéro) est une entrée asynchrone active sur niveau bas.  
 L'entrée série gauche (E série G ou E ser G) est l'entrée du décalage à gauche. L'entrée série  
 droite (E série D ou E ser D) est l'entrée du décalage à droite.  
 L'entrée Droite / Gauche (D/G) entraîne un décalage à droite si l'entrée est à 1, un décalage à  
 gauche si l'entrée est à 0.



Compléter le chronogramme suivant.



#### Exercice 4

On souhaite fabriquer un plan mémoire à partir de mémoire contenant 16 Kilo octets par boîtier.

- 1) Indiquer combien de boîtiers sont nécessaires et réaliser le schéma de connexion de ces boîtiers (vous pouvez utiliser, si cela vous semble utile, des circuits logiques supplémentaires) pour obtenir une mémoire de 16 Kilo mots de 16 bits
- 2) Indiquer combien de boîtiers sont nécessaires et réaliser le schéma de connexion de ces boîtiers (vous pouvez utiliser, si cela vous semble utile, des circuits logiques supplémentaires) pour obtenir une mémoire de 32 Kilo octets.
- 3) Indiquer combien de boîtiers sont nécessaires et réaliser le schéma de connexion de ces boîtiers (vous pouvez utiliser, si cela vous semble utile, des circuits logiques supplémentaires) pour obtenir une mémoire de 32 Kilo mots de 16 bits.



13,5

Suyata  
Eyril

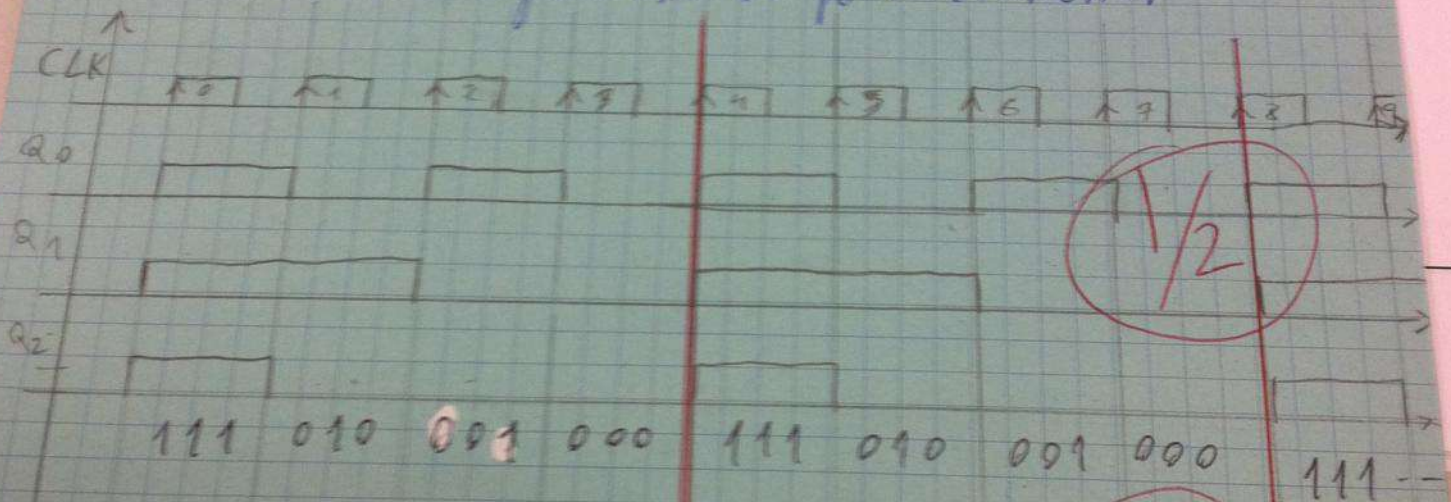
L2 groupe B

DE Systeme Numérique

12/04/2012

10,5  
20Exercice n°1Soient les sorties  $Q_0, Q_1, Q_2$ Etat initial :  $Q_0 = Q_1 = Q_2 = 0$ 

Voici son diagramme de fonctionnement



En analysant les sorties, on peut déterminer les équations logiques de chaque bascule D.

Pour  $Q_0$  : Une porte AND combinant  $\bar{Q}_0(t-1)$  et  $\bar{Q}_2$  à l'état  $(t-1)$ .

Ainsi  $Q_0(t) = \bar{Q}_0(t-1) \cdot \bar{Q}_2(t-1) = \bar{Q}_0(t-1) + \bar{Q}_2(t-1)$



Pour  $Q_1$  : Une porte XOR combinant  $Q_0$  et  $Q_1(t-1)$

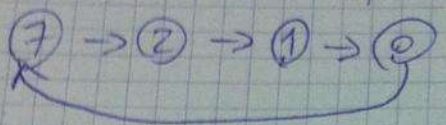
Ainsi  $Q_1(t) = Q_0(t) \oplus Q_1(t-1)$

Pour  $Q_2$  : Une porte AND combinant  $Q_0$  et  $Q_1$

$Q_2(t) = Q_0(t) \cdot Q_1(t)$

1

C'est un compteur qui répète le cycle

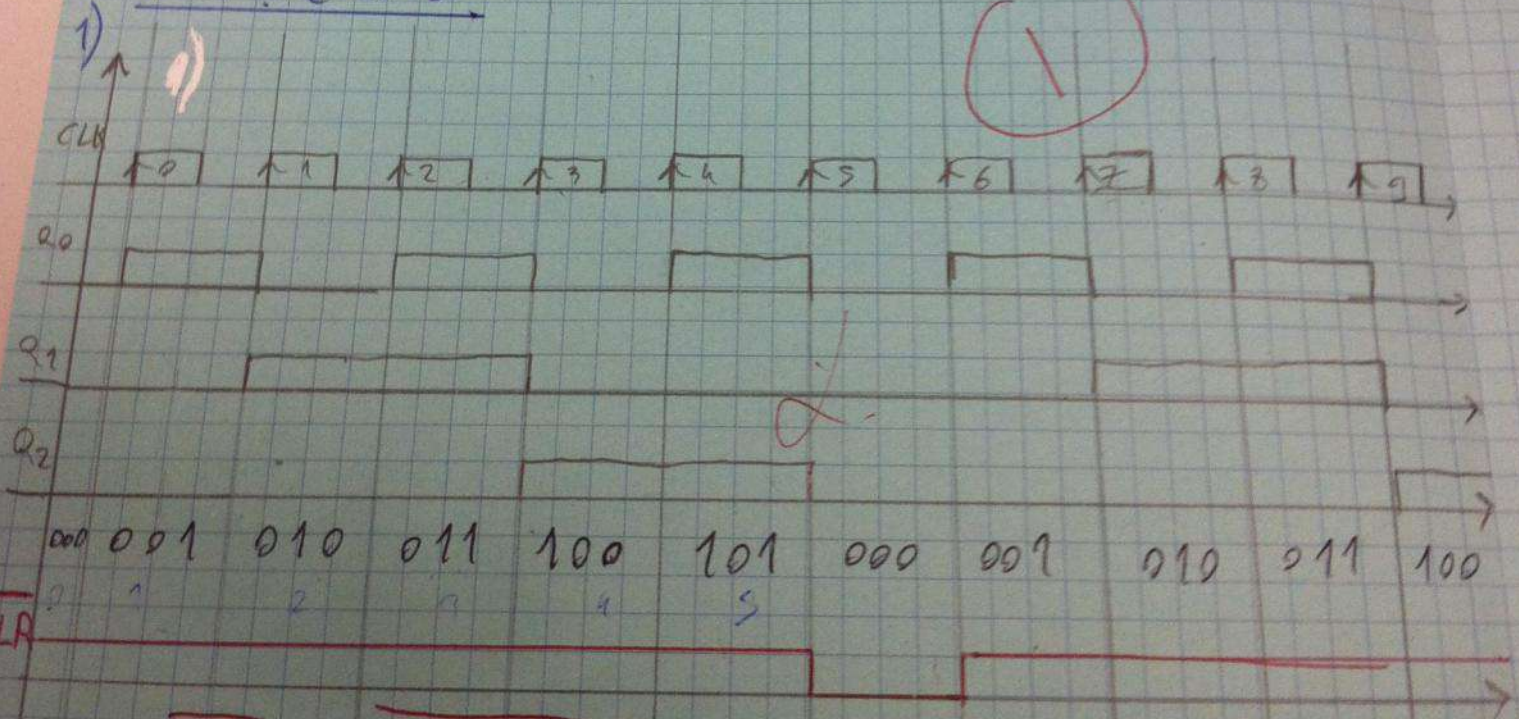


1/2

On distingue bien sur le schéma deux cycles de fonctionnement, chacun composé de 4 phases (7, 2, 1, 6), et le début d'un troisième

Exercice n°2

1



$CLR = Q_0 \cdot \bar{Q}_1 \cdot Q_2$



(4-1)  
Les trois sorties sont à zéro au départ. Nous devrions  
une entrée de forçage  $\overline{CLR}$  connectée à une NAND  
dans les trois bascules.

table vérité NAND (3 bits)

$a_2$	$a_1$	$a_0$	$g$
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Pour que  $\overline{CLR} = 0$ , on doit avoir  
des trois entrées à 1.

Or les trois entrées sont :

$Q_0, \overline{Q_1}$  et  $Q_2$

1

Ainsi, il faudrait

$$\begin{cases} Q_0 = 1 \\ \overline{Q_1} = 1 \Leftrightarrow Q_1 = 0 \\ Q_2 = 1 \end{cases} \begin{matrix} Q_0 = 1 \\ Q_1 = 0 \\ Q_2 = 1 \end{matrix}$$

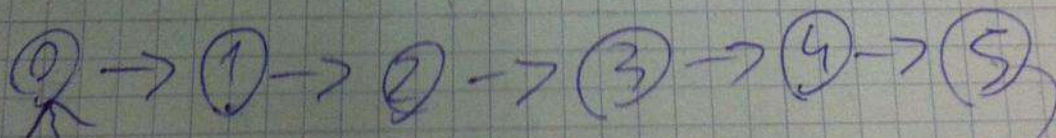
C'est pourquoi, lorsque le mot sera  $101_2$ , l'entrée  
asynchrone de forçage  $\overline{CLR}$  s'activera.

2) On 3 bascules D nous permettent un compteur %8.

La, on a un compteur modulo 5 du fait de  
 $\overline{CLR}$  s'activant à 101.

C'est un compteur linéaire asynchrone

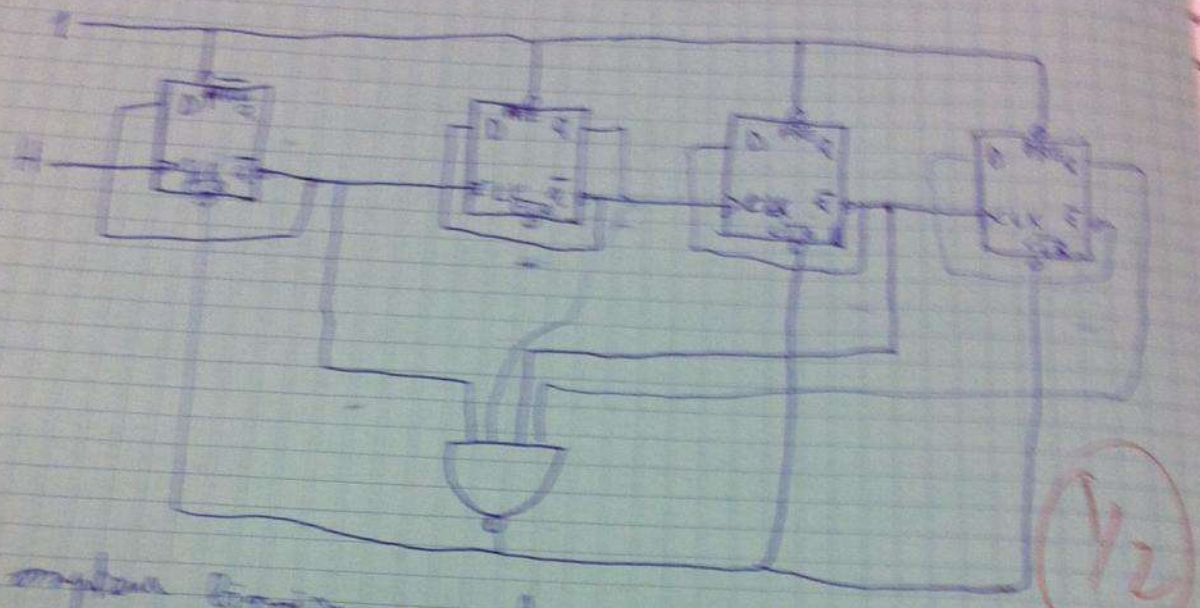
Son cycle de fonctionnement est le suivant.



1



3) lors de montage on a pu voir réaliser sur un système binaire asynchrone modulo 11  
 $11 > 2 \Rightarrow 4 \text{ bascules}$



Compteur binaire asynchrone modulo 11

$11_{10} = 1011_2 \Rightarrow 2_3 = 1 \quad \bar{2}_2 = 1 \quad 2_1 = 1 \quad \bar{2}_0 = 1$

exercice n°3

(voir syst. de programme)

exercice n°4

16 Ko/batier RAM =  $2^4 \times 2^{10} = 2^{14}$  mots de 8 bits  
 32 batiers en série nécessaires  $2^{14} \times 2^3 = 2^{17}$  bits

ou 16 Ko  $\Rightarrow$  16 Kb mots de 8 bits =  $2^{14} \times 2^3$  mots de 8 bits  
 batiers nécessaires sur 32 Kb = 16 Kb mots de 16 bits  $\Rightarrow$  2 batiers  
 batiers nécessaires: 32 Kb mots de 16 bits:  $2^{14} \times 2^2 = 2^{16}$

1/2

1/3

1/2