

AGUER Antoine Gape D

EFREI L2

Année 2011-2012

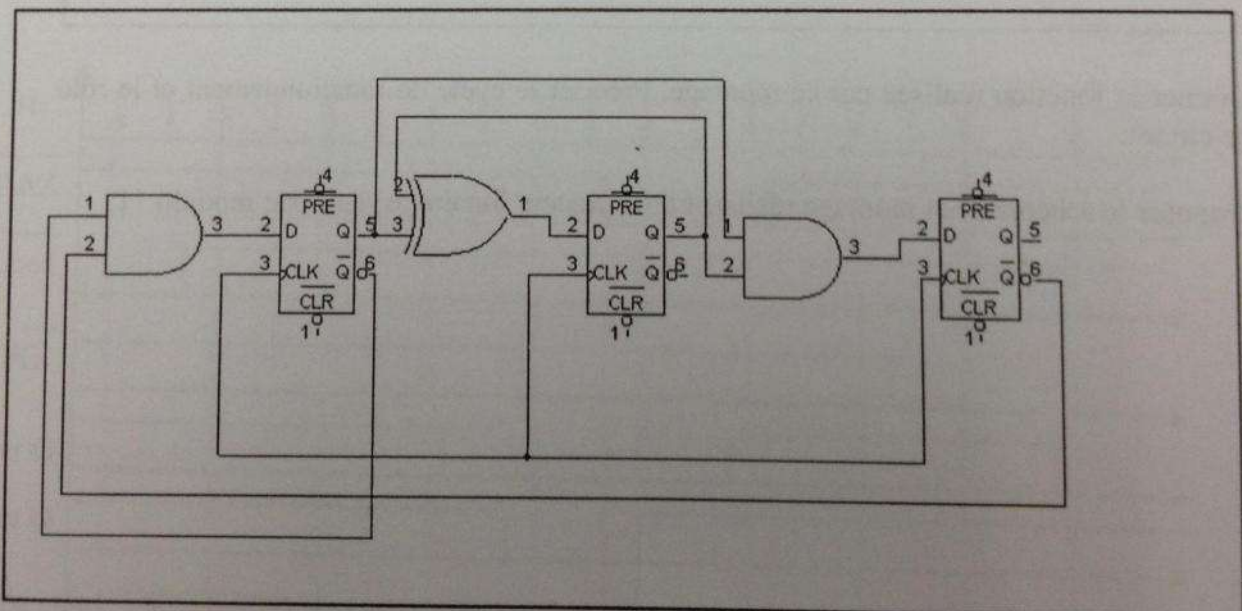
Sans Document

Calculatrice Interdite

DE : Système Numérique

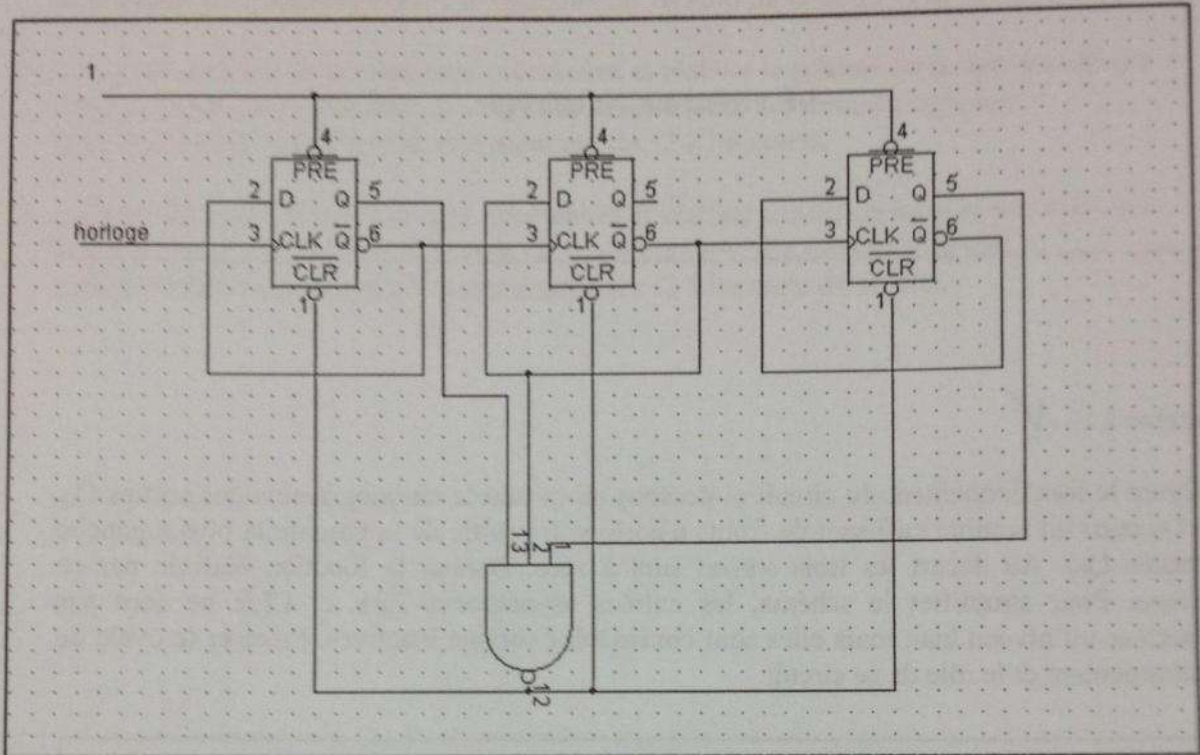
Exercice 1 : ✓

Analyser le fonctionnement du circuit ci-dessous en traçant le chronogramme des sorties Q_0 , Q_1 , Q_2 pour un nombre suffisant de fronts d'horloge (la sortie de la bascule la plus à gauche est notée Q_0). Au départ les trois sorties sont à zéro. Donner la fonction réalisée par ce montage. Pour simplifier le schéma, les entrées asynchrones PRE et CLR ne sont pas connectées au niveau haut mais elles sont considérées comme inactives. Préciser le cycle de fonctionnement et le rôle de ce circuit.



Exercice 2 :

1) Analyser le fonctionnement du circuit ci-dessous en traçant le chronogramme des sorties Q_0 , Q_1 , Q_2 pour un nombre suffisant de fronts d'horloge (la sortie de la bascule la plus à gauche est notée Q_0). Au départ les trois sorties sont à zéro. Les entrées \overline{PRE} sont à 1.

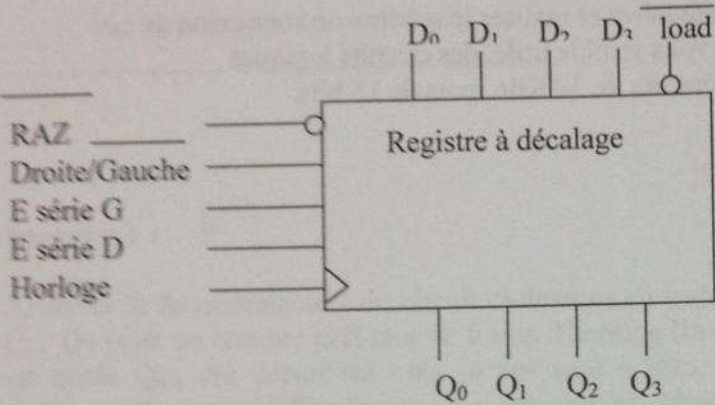


2) Donner la fonction réalisée par ce montage. Préciser le cycle de fonctionnement et le rôle de ce circuit.

3) Proposer le schéma d'un montage réalisant un compteur binaire asynchrone modulo 11.

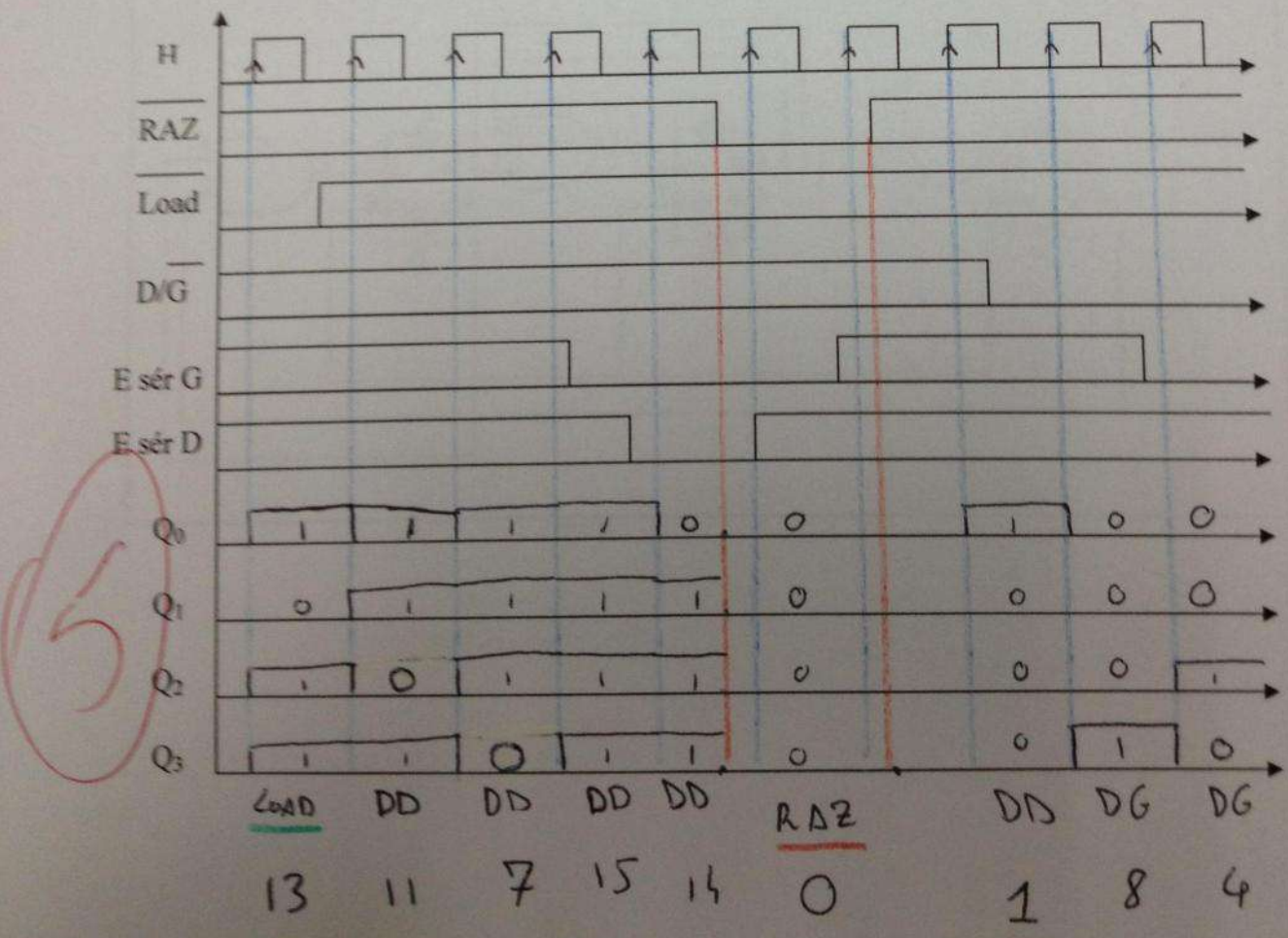
Exercice 3 ✓

Soit le registre à décalage bidirectionnel de quatre bits de la figure ci-dessous. Les entrées D0, D1, D2, D3 sont des entrées de chargement parallèle. L'entrée load active sur niveau bas permet le chargement parallèle de ces entrées (D0 =1, D1=0, D2=1 D3=1) sur front actif de l'horloge, elle est prioritaire par rapport aux entrées de décalage. L'entrée RAZ (de remise à zéro) est une entrée asynchrone active sur niveau bas. L'entrée série gauche (E série G ou E ser G) est l'entrée du décalage à gauche. L'entrée série droite (E série D ou E ser D) est l'entrée du décalage à droite. L'entrée Droite / Gauche (D/G) entraîne un décalage à droite si l'entrée est à 1, un décalage à gauche si l'entrée est à 0.



Compléter le chronogramme suivant.

AGUER Antoine
Grappe D.



Exercice 4

On souhaite fabriquer un plan mémoire à partir de mémoire contenant 16 Kilo octets par boîtier.

- 1) Indiquer combien de boîtiers sont nécessaires et réaliser le schéma de connexion de ces boîtiers (vous pouvez utiliser, si cela vous semble utile, des circuits logiques supplémentaires) pour obtenir une mémoire de 16 Kilo mots de 16 bits
- 2) Indiquer combien de boîtiers sont nécessaires et réaliser le schéma de connexion de ces boîtiers (vous pouvez utiliser, si cela vous semble utile, des circuits logiques supplémentaires) pour obtenir une mémoire de 32 Kilo octets.
- 3) Indiquer combien de boîtiers sont nécessaires et réaliser le schéma de connexion de ces boîtiers (vous pouvez utiliser, si cela vous semble utile, des circuits logiques supplémentaires) pour obtenir une mémoire de 32 Kilo mots de 16 bits.

AGUER
Antoine
Gray D

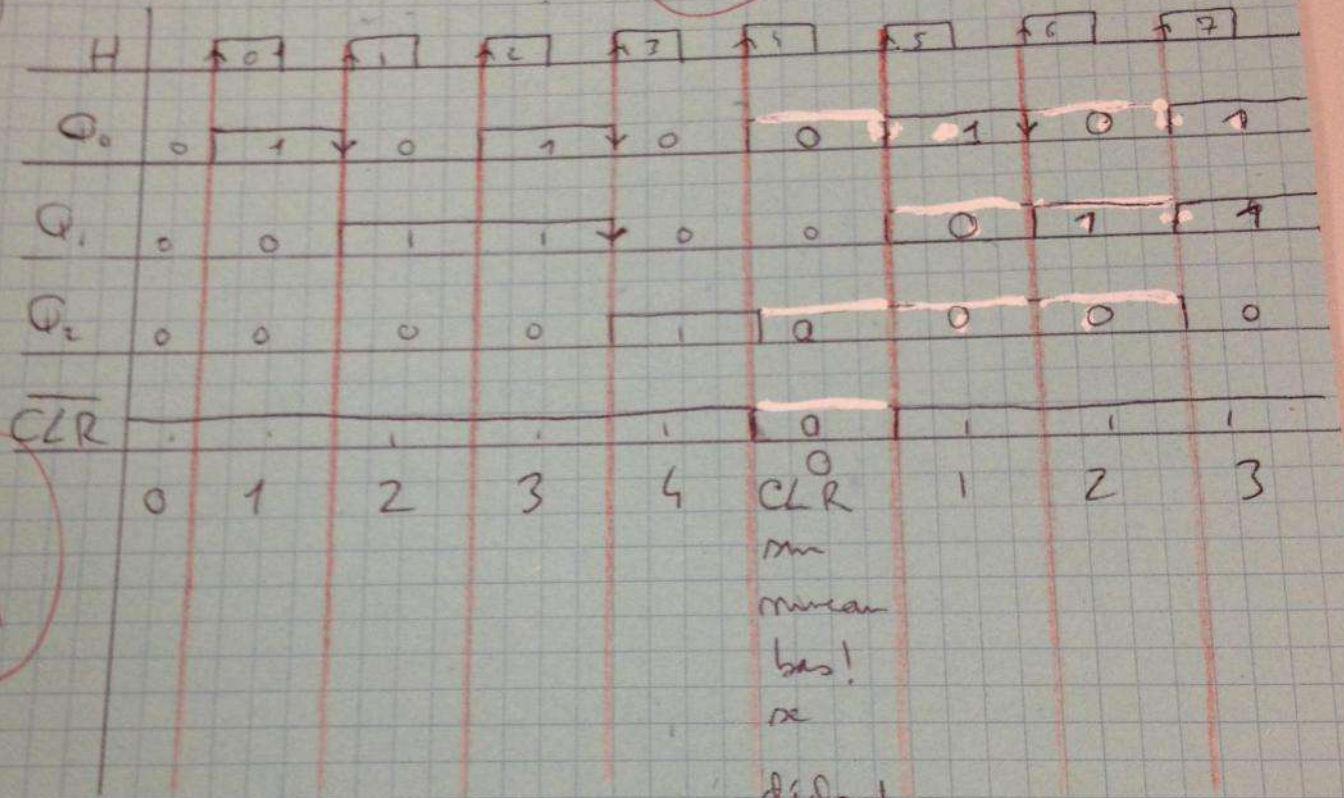
Système numérique

17/5/20

Exercice 2:

2

1)



1

1

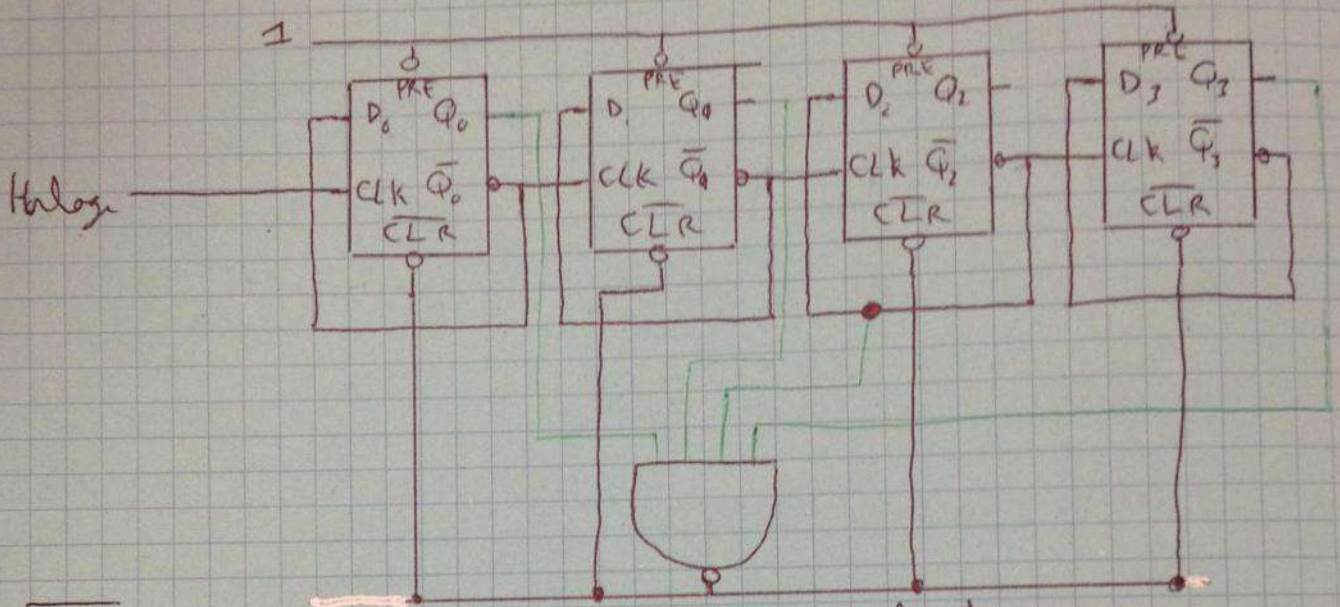
déclenché
par $\overline{Q_0} = 0$ $Q_1 = 0$ $\overline{Q_2} = 0$
par $Q_0 = 1$ $Q_1 = 0$ $Q_2 = 1$

2) Ce montage est un compteur asynchrone modulo 5 réalisant le cycle 0, 1, 2, 3, 4.

1

3) Conception la rampe asynchrone modulo 11
 on prend donc 4 bits et on active la entrée
 \overline{CLR} quand on arrive à 11 soit 1011

1



\overline{CLR} active à 11 et doit se déclencher par

$$Q_0 = 1 \quad Q_1 = 1 \quad Q_2 = 0 \quad Q_3 = 1$$

$$\text{donc } \overline{CLR} = \overline{Q_0 Q_1 \overline{Q_2} Q_3} \Leftrightarrow \overline{Q_0} + \overline{Q_1} + Q_2 + \overline{Q_3}$$

$$\begin{array}{cccc} \downarrow & \downarrow & \downarrow & \downarrow \\ 0 & 0 & 0 & 0 \\ \hline & & & 0 \end{array}$$

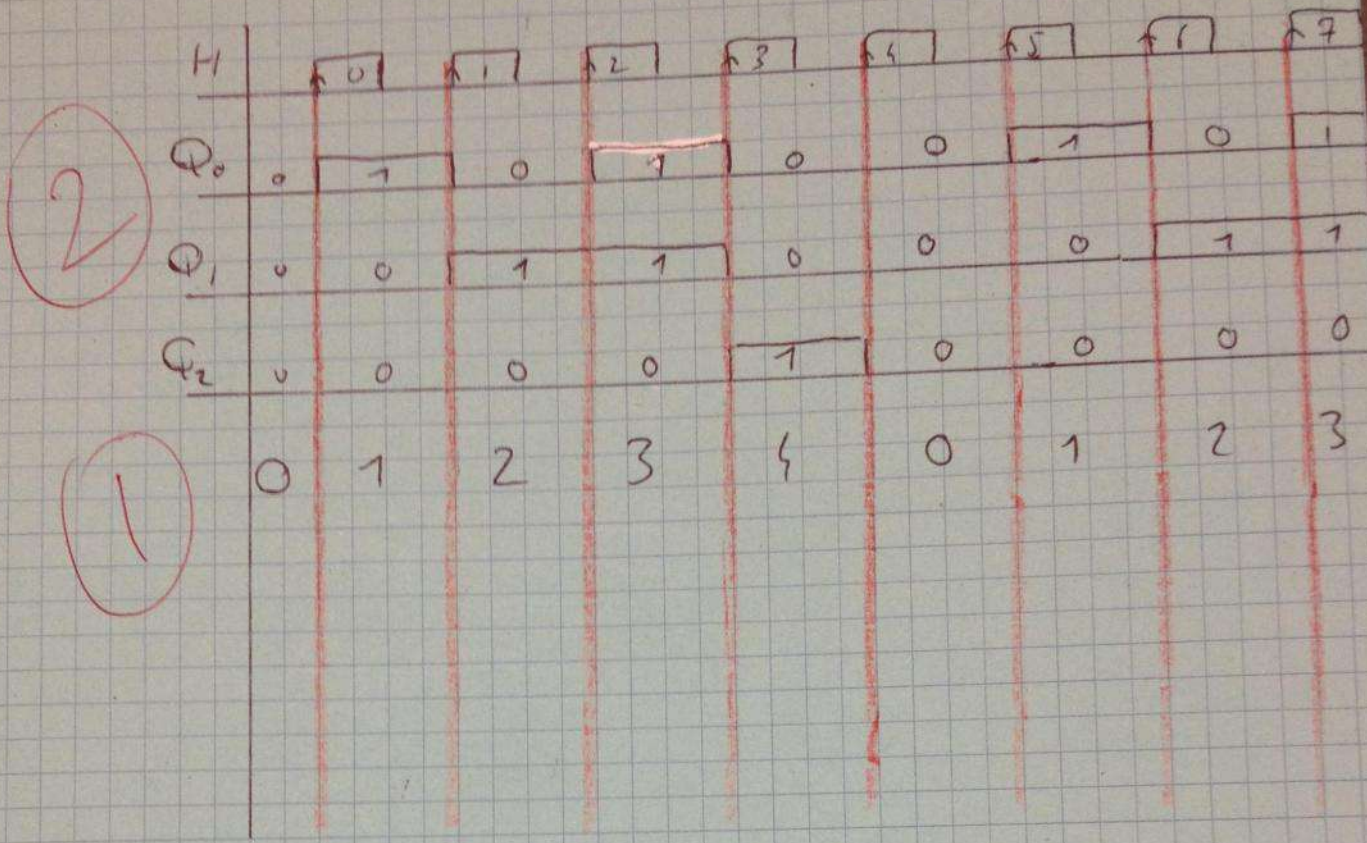
ok!

Exercice 3 : sur le pty :

on obtient :

13, 11, 7, 15, 14, 0, 1, 8, 4

Exercice 1: Circuit synchrone!



Le circuit est un compteur synchrone modulo 5 :

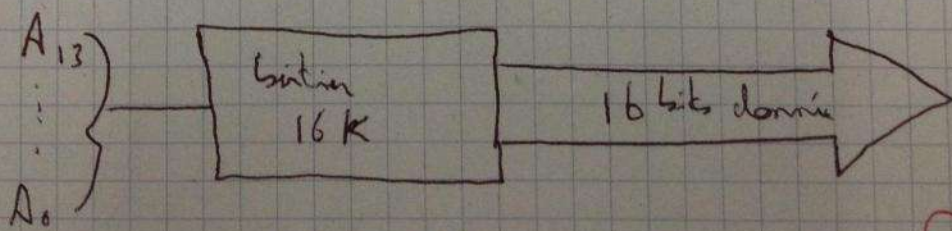
réalisant le cycle 0, 1, 2, 3, 4

Exercice 4:

1) $16\text{K} \cdot 16$ $16 \times 2^{10} = 2^4 \times 2^{10} = 2^{14}$

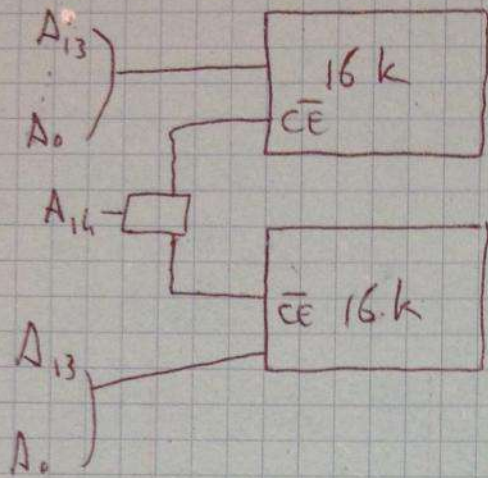
1 seul bit de 16 k

il faut donc 14 adresses de données



2) il faut deux bits de 16 k

$1/2$

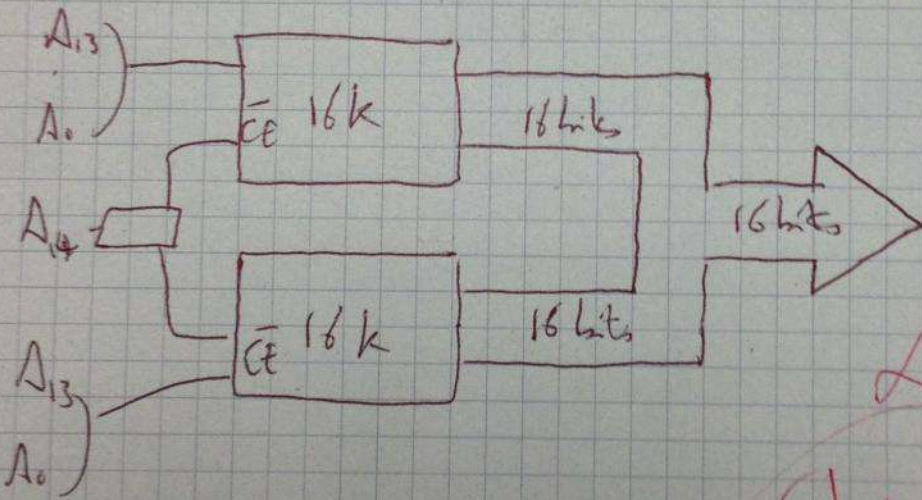


$1/2$

$1/2$

3) 2 bits de 16 k

α



$1/2$