

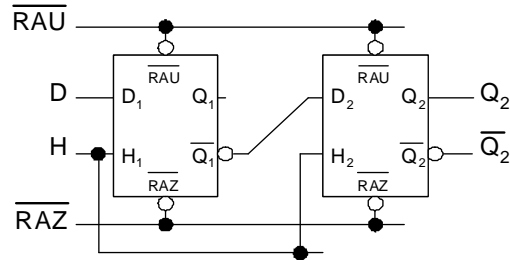
Toute réponse doit être justifiée, argumentée par un raisonnement et doit être rédigée en français correct: les simples affirmations ne seront pas prises en considération.

1. Exercice 1

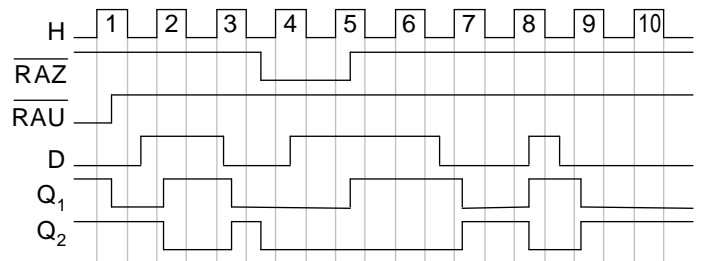
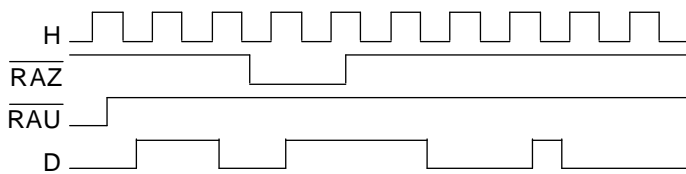
Soit le circuit de la figure ci contre.

Les entrées $\overline{\text{RAZ}}$ et $\overline{\text{RAU}}$ sont actives sur niveau bas.

Les bascules D sont synchronisées sur niveau haut.

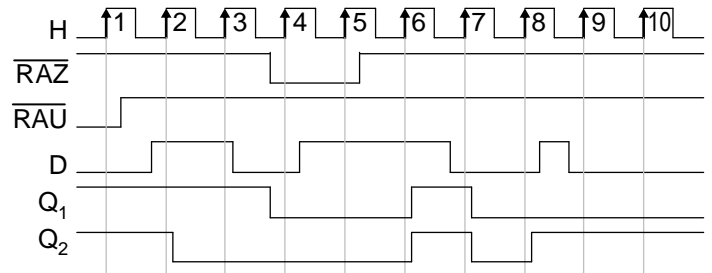
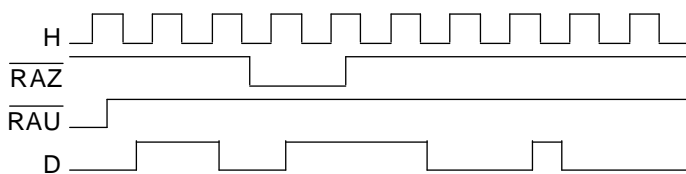


1.1 Compléter le chronogramme suivant [2,5]



Supposons maintenant que les bascules D sont synchronisées sur front montant.

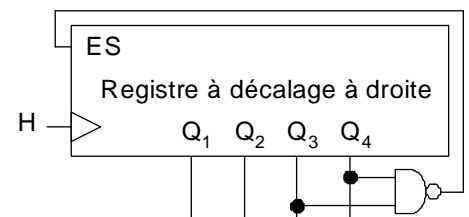
1.2 Compléter le chronogramme suivant [2,5]



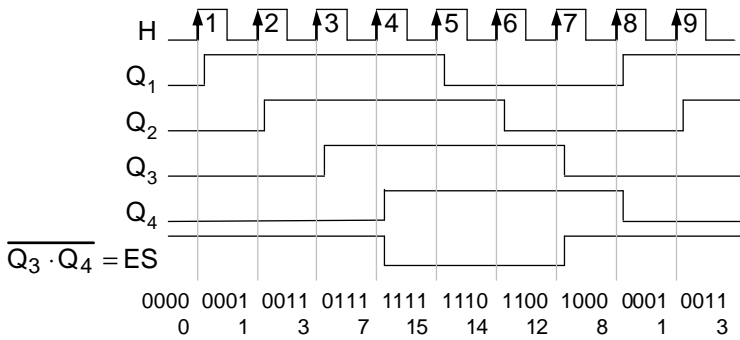
2. Exercice 2

Soit le montage ci-dessous utilisant un registre à décalage à droite.

- La sortie Q_1 est la plus à gauche, la sortie Q_4 la plus à droite.
- La porte connectée entre Q_3 , Q_4 et E_S est une porte NAND.
- E_S est l'entrée série de données du registre.
- Au départ toutes les sorties sont à 0.



2.1 Analyser le fonctionnement du circuit en donnant la valeur des sorties pour huit impulsions d'horloge [2]



CI : Conditions Initiales

H	Q ₁	Q ₂	Q ₃	Q ₄	E _S	Q ₄ Q ₃ Q ₂ Q ₁	n°
CI	0	0	0	0	1	0000	0
1	1	0	0	0	1	0001	1
2	1	1	0	0	1	0011	3
3	1	1	1	0	1	0111	7
4	1	1	1	1	0	1111	15
5	0	1	1	1	0	1110	14
6	0	0	1	1	0	1100	12
7	0	0	0	1	1	1000	8
8	1	0	0	0	1	0001	1
9	1	1	0	0	1	0011	3

3. Exercice 3

Soit un compteur synchrone réalisé avec des bascules J K permettant de créer la séquence 1, 2, 3, 7, 4.

3.1 Déterminer le graphe des états [0,5]

États : (1) (2) (3) (7) (4). Max = 7 ⇒ 3 bits. États binaires : (001) (010) (011) (111) (100).

États inexistant : [0,5,6]₁₀, [000,101,110]₂ que nous notons « X »

3.2 Déterminer la table des états présents et des états suivants [0,5]

Q ₂ (t)Q ₁ (t) Q ₀ (t)	Q ₂ (t+1) Q ₁ (t+1) Q ₀ (t+1)
0 0 1	0 1 0
0 1 0	0 1 1
0 1 1	1 1 1
1 1 1	1 0 0
1 0 0	0 0 1

3.3 Déterminer la table de transition de la bascule J K [1]

Q _i	Q _{i+1}	J	K
0	0	0	Φ
0	1	1	Φ
1	0	Φ	1
1	1	Φ	0

X : état inexistant

Φ : 0 ou 1

	J ₀	K ₀	J ₁	K ₁	J ₂	K ₂
0	X	X	X	X	X	X
1	Φ	1	1	Φ	0	Φ
2	1	Φ	Φ	0	0	Φ
3	Φ	0	Φ	0	1	Φ
4	1	Φ	0	Φ	Φ	1
5	X	X	X	X	X	X
6	X	X	X	X	X	X
7	Φ	1	Φ	1	Φ	0

3.4 À l'aide de diagrammes de Karnaugh simplifier les équations des bascules J K [4]

J₀ = 1

Q ₂ Q ₁ \Q ₀	0	1
00	X ₀	Φ ₁
01	1 ₂	Φ ₃
11	X ₆	Φ ₇
10	1 ₄	X ₅

K₀ = Q₂ + Q₁

Q ₂ Q ₁ \Q ₀	0	1
00	X ₀	1 ₁
01	Φ ₂	0 ₃
11	X ₆	1 ₇
10	Φ ₄	X ₅

J₁ = Q₂ = Q₀

Q ₂ Q ₁ \Q ₀	0	1
00	X ₀	1 ₁
01	Φ ₂	Φ ₃
11	X ₆	Φ ₇
10	0 ₄	X ₅

K₁ = Q₂

Q ₂ Q ₁ \Q ₀	0	1
00	X ₀	Φ ₁
01	0 ₂	0 ₃
11	X ₆	1 ₇
10	Φ ₄	X ₅

J₂ = Q₁ · Q₀

Q ₂ Q ₁ \Q ₀	0	1
00	X ₀	0 ₁
01	0 ₂	1 ₃
11	X ₆	Φ ₇
10	Φ ₄	X ₅

K₂ = Q₀ = Q₁

Q ₂ Q ₁ \Q ₀	0	1
00	X ₀	Φ ₁
01	Φ ₂	Φ ₃
11	X ₆	0 ₇
10	1 ₄	X ₅

X : état inexistant, Φ : 0 ou 1

Pour diminuer le nombre de portes nous modifions les équations : $K_0 = Q_2 + \overline{Q_1} = \overline{Q_2 \cdot Q_1}$ et $J_2 = Q_1 \cdot Q_0 = \overline{\overline{Q_1 + Q_0}}$

$J_0 = 1$				
$Q_0 \backslash Q_1 Q_2$	00	01	11	10
0	X ₀	1 ₄	X ₆	1 ₂
1	Φ ₁	X ₅	Φ ₇	Φ ₃

$K_0 = Q_2 + \overline{Q_1}$				
$Q_0 \backslash Q_1 Q_2$	00	01	11	10
0	X ₀	Φ ₄	X ₆	Φ ₂
1	1 ₁	X ₅	1 ₇	0 ₃

$J_1 = \overline{Q_2} = Q_0$				
$Q_0 \backslash Q_1 Q_2$	00	01	11	10
0	X ₀	0 ₄	X ₆	Φ ₂
1	1 ₁	X ₅	Φ ₇	Φ ₃

$K_1 = Q_2$				
$Q_0 \backslash Q_1 Q_2$	00	01	11	10
0	X ₀	Φ ₄	X ₆	0 ₂
1	Φ ₁	X ₅	1 ₇	0 ₃

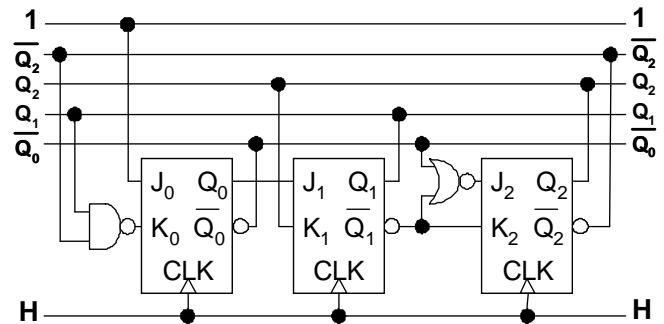
$J_2 = Q_1 \cdot Q_0$				
$Q_0 \backslash Q_1 Q_0$	00	01	11	10
0	X ₀	Φ ₄	X ₆	0 ₂
1	0 ₁	X ₅	Φ ₇	1 ₃

$K_2 = \overline{Q_0} = \overline{Q_1}$				
$Q_0 \backslash Q_1 Q_0$	00	01	11	10
0	X ₀	1 ₄	X ₆	Φ ₂
1	Φ ₁	X ₅	0 ₇	Φ ₃

X : état inexistant, Φ : 0 ou 1

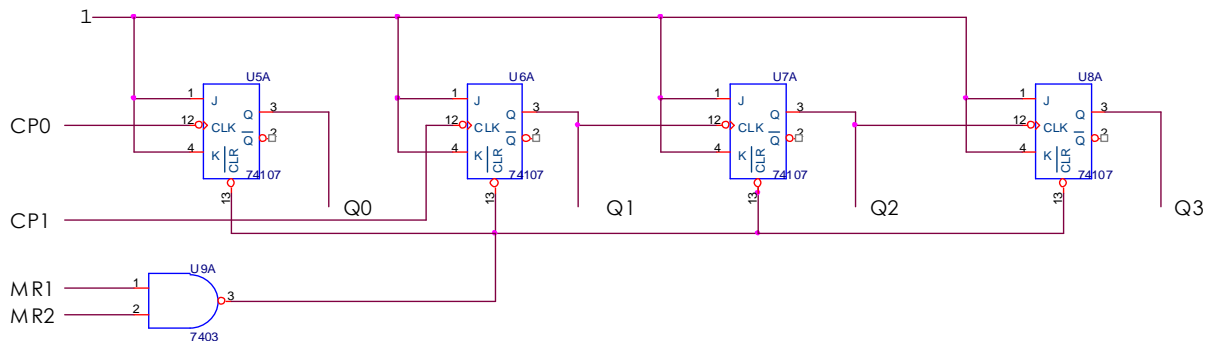
$$K_0 = Q_2 + \overline{Q_1} = \overline{Q_2} \cdot Q_1 \quad (1 \text{ porte NAND2}), \quad J_2 = Q_1 \cdot Q_0 = \overline{Q_1} + \overline{Q_0} \quad (1 \text{ porte NOR2})$$

3.5 Réaliser le schéma du circuit [2]



4. Exercice 4

Soit le compteur de la figure suivante.



Les sorties Q_1, Q_2, Q_3 sont raccordées comme un compteur à propagation 3 bits.

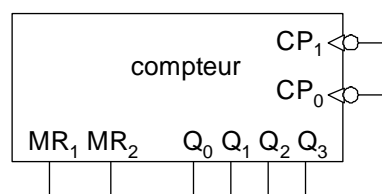
4.1 Comment raccorder Q_0 pour obtenir un compteur 4 bits ? [1]

Il faut raccorder la bascule Q_0 et la bascule Q_1 : $CP_1 = Q_0$, inactiver l'entrée prioritaire asynchrone : $MR_1 = MR_2 = 0 \Rightarrow \overline{CLR} = 1$ et raccorder CP_0 à l'horloge externe H dont nous comptons le nombre d'impulsions..

4.2 Expliquer le rôle des entrées MR_1 et MR_2 [1]

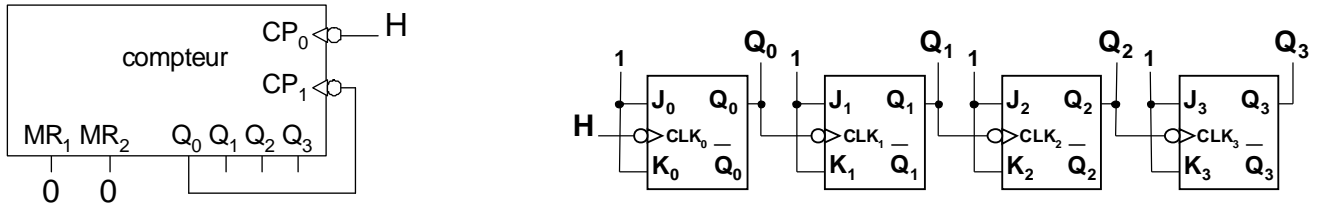
MR = Master Reset. $MR_1 = MR_2 = 1 \Rightarrow \overline{CLR} = 0 \Rightarrow RAZ \Rightarrow Q_0 = Q_1 = Q_2 = Q_3 = 0$

Le circuit ci-dessus peut être représenté par le circuit intégré de la figure suivante :



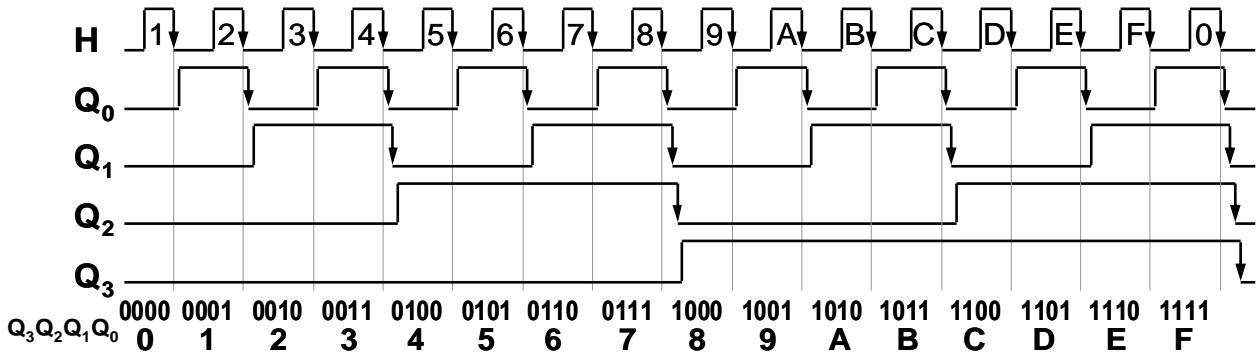
4.3 Montrer comment raccorder les bornes de ce circuit intégré pour obtenir un compteur modulo 16 [1]

Voir le transparent #22 de la leçon Sys Num « Les Compteurs » : Compteur 4 bits $\Rightarrow 2^4 = 16$ états = #16 asynchrone à cycle complet et naturel : ... 14 \rightarrow 15 \rightarrow 0 \rightarrow 1... : RAZ naturelle \Rightarrow L'entrée prioritaire asynchrone doit être inhibée : $\overline{\text{CLR}} = 1 \Rightarrow \text{MR}_1 = \text{MR}_2 = 0$. $\text{CP}_0 = H$ (le compteur compte le nombre d'impulsions de H) et $\text{CP}_1 = Q_0$.



4.4 Si le signal est de 10kHz, quelle sera la fréquence du signal Q_3 ? [1]

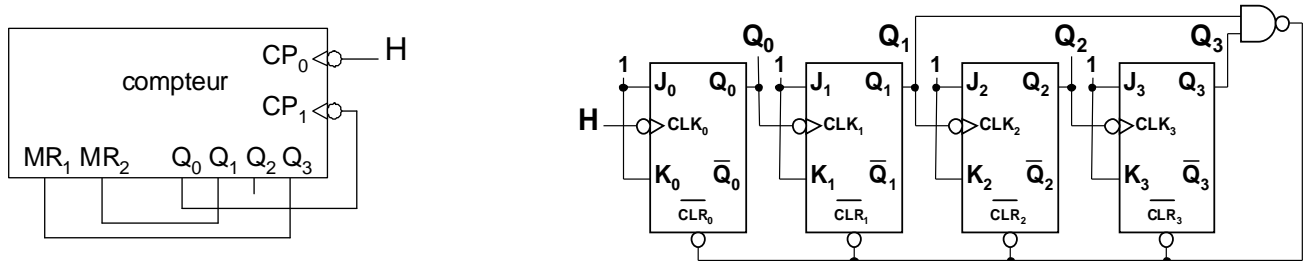
Voir le chronogramme (ci-dessous) du transparent #22 de la leçon SN Les Compteurs. Ainsi $T_{Q3} = 16 T_H = 1,6 \text{ ms} \Rightarrow f_{Q3} = 625 \text{ Hz}$



4.5 Montrer comment raccorder les bornes de ce circuit intégré pour obtenir un compteur modulo 10 [2]

Il s'agit de construire un compteur BCD asynchrone comme sur le transparent #24 de la leçon SN Les Compteurs.

$\text{CP}_0 = H$, $\text{CP}_1 = Q_0$. Pour détecter $10|_{10} = 1010|_2$ càd : $Q_3Q_2Q_1Q_0 = 1010$: $\text{MR}_2 = Q_1$ et : $\text{MR}_1 = Q_3$ (ou $\text{MR}_1 = Q_1$ & : $\text{MR}_2 = Q_3$).



4.6 Si le signal est de 10kHz, quelle sera la fréquence du signal Q_3 ? [1]

Voir le chronogramme (ci-dessous) du transparent #24. Ainsi: $T_{Q3} = 10 T_H = 1 \text{ ms} \Rightarrow f_{Q3} = 1 \text{ kHz}$

