

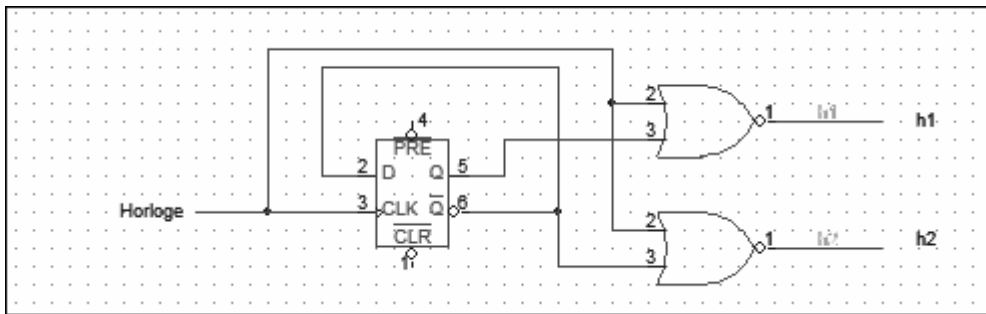
1. Avertissement

Pour être valide un résultat doit comporter une démonstration s'appuyant sur un raisonnement scientifique.

2. Exercice 1 [3]

Les entrées asynchrones du circuit ci-dessous sont supposées inactives

- 2.1 *Élaborer le chronogramme de ce circuit pour un nombre suffisant de fronts d'horloge [2]*
- 2.2 *Quelle est sa fonctionnalité ? [1]*



a	b	$\overline{a+b}$
0	0	1
0	1	0
1	0	0
1	1	0

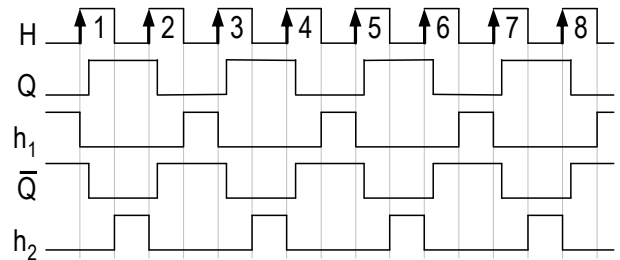
$$D = \overline{Q}$$

$$h_1 = \overline{H + Q} = \overline{H} \cdot \overline{Q}$$

$$H = Q = 0 \Rightarrow h_1 = 1$$

$$h_2 = \overline{H + \overline{Q}} = \overline{H} \cdot Q$$

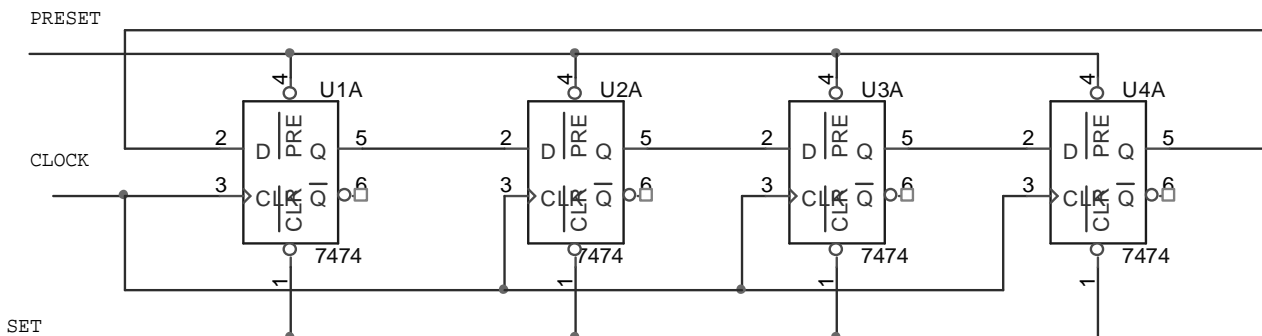
$$H = \overline{Q} = 0 \Rightarrow h_2 = 1$$



À partir de l'Horloge H de fréquence f, on construit 2 horloges h_1 et h_2 disjointes (non recouvrantes : $h_1 \cdot h_2 = 0$) de fréquences $f/2$.


3. Exercice 2 [6]

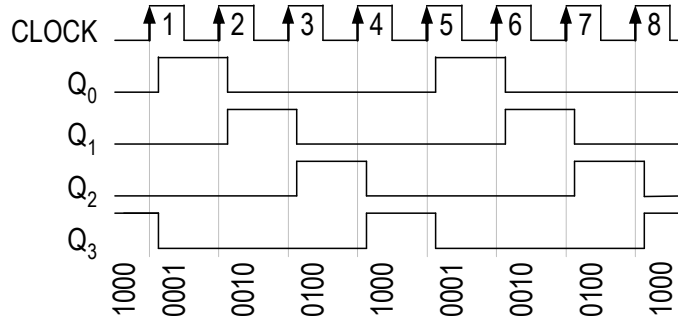
Soit le circuit de la figure suivante. De gauche à droite, les entrées et sorties bascules sont numérotées de 0 à 3. Le registre est initialisé à la valeur $A_3A_2A_1A_0 = 1000$.



3.1 Élaborer le chronogramme des sorties des bascules pour 8 impulsions d'horloge (clock) [2]

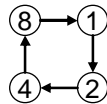
Supposons : PRESET=SET=1 ⇒ entrées de forçage asynchrone inactives.

CLK₀ = CLK₁ = CLK₂ = CLK₃ = CLOCK ⇒ circuit synchrone + toutes les bascules D actives sur CLOCK = 
 D₀ = Q₃, D₁ = Q₀, D₂ = Q₁, D₃ = Q₂ : registre synchrone bouclé ou registre en anneau.

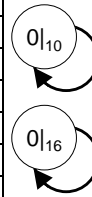


3.2 Donner le code cyclique obtenu [1]

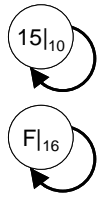
Cl : Q ₃ Q ₂ Q ₁ Q ₀ = 1000					
CLK	Q ₀	Q ₁	Q ₂	Q ₃	[Q ₃ Q ₂ Q ₁ Q ₀] ₁₀
0	0	0	0	1	8
1	1	0	0	0	1
2	0	1	0	0	2
3	0	0	1	0	4
4	0	0	0	1	8
5	1	0	0	0	1
6	0	1	0	0	2
7	0	0	1	0	4
8	0	0	0	1	8



Cl: SET=0: Q ₃ Q ₂ Q ₁ Q ₀ = 0000					
CLK	Q ₀	Q ₁	Q ₂	Q ₃	[Q ₃ Q ₂ Q ₁ Q ₀] ₁₀
0	0	0	0	0	0
1	0	0	0	0	0
2	0	0	0	0	0
3	0	0	0	0	0
4	0	0	0	0	0
5	0	0	0	0	0
6	0	0	0	0	0
7	0	0	0	0	0
8	0	0	0	0	0



Cl: PRESET=0: Q ₃ Q ₂ Q ₁ Q ₀ = 1111					
CLK	Q ₀	Q ₁	Q ₂	Q ₃	[Q ₃ Q ₂ Q ₁ Q ₀] ₁₀
0	1	1	1	1	15
1	1	1	1	1	15
2	1	1	1	1	15
3	1	1	1	1	15
4	1	1	1	1	15
5	1	1	1	1	15
6	1	1	1	1	15
7	1	1	1	1	15
8	1	1	1	1	15



3.3 Quelle valeur faut-il donner à PRESET (PRE) ou à SET (CLR) pour activer chacune de ces entrées [1]

L'initialisation est maintenant obtenue par l'activation de l'entrée PRESET.

3.4 Quel est le code cyclique obtenu ? [1]

L'initialisation est maintenant obtenue par l'activation de l'entrée SET.

3.5 Quel est le code cyclique obtenu ? [1]

4. Exercice 3 [8]

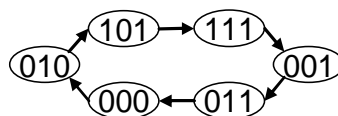
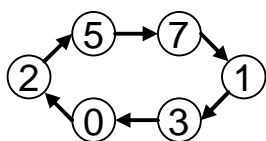
On cherche à construire, à l'aide de bascules JK, un compteur synchrone qui réalise le cycle suivant : 2, 5, 7, 1, 3, 0.

4.1 Établir le graphe d'état [1]

4.2 Établir la table des états présents et des états suivants du compteur [1]

4.3 Établir la table de transition de la bascule JK [1]

Max = 7₁₀ = 111₂
 Donc : 3 bits donc 3 bascules



i	Q ₂	Q ₁	Q ₀
2	0	1	0
5	1	0	1
7	1	1	1
1	0	0	1
3	0	1	1
0	0	0	0
2	0	1	0

Q _i	Q _{i+1}	J	K
0	0	0	Φ
0	1	1	Φ
1	0	Φ	1
1	1	Φ	0

4.4 Établir les équations logiques simplifiées des entrées des bascules (vous pouvez utiliser les tableaux de Karnaugh) puis transformer ces équations pour n'utiliser que des portes NAND ou NOR [3]

$J_2 = Q_1 \overline{Q_0}$		
$Q_2Q_1 \backslash Q_0$	0	1
00	0 ₀	0 ₁
01	1 ₂	0 ₃
11	X ₆	Φ ₇
10	X ₄	Φ ₅

$K_2 = Q_1$		
$Q_2Q_1 \backslash Q_0$	0	1
00	Φ ₀	Φ ₁
01	Φ ₂	Φ ₃
11	X ₆	1 ₇
10	X ₄	0 ₅

$J_1 = 1$		
$Q_2Q_1 \backslash Q_0$	0	1
00	1 ₀	1 ₁
01	Φ ₂	Φ ₃
11	X ₆	Φ ₇
10	X ₄	1 ₅

$K_1 = 1$		
$Q_2Q_1 \backslash Q_0$	0	1
00	Φ ₀	Φ ₁
01	1 ₂	1 ₃
11	X ₆	1 ₇
10	X ₄	Φ ₅

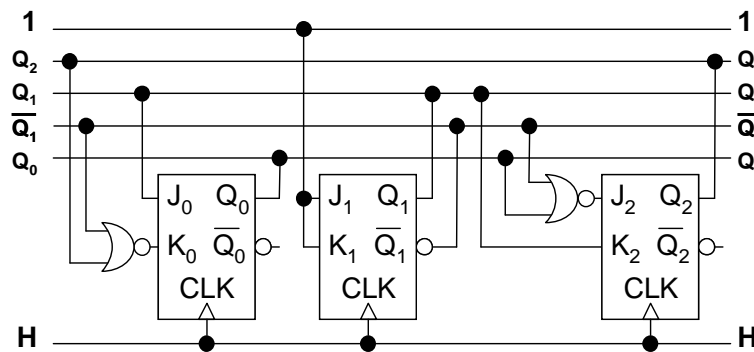
$J_0 = Q_1$		
$Q_2Q_1 \backslash Q_0$	0	1
00	0 ₀	Φ ₁
01	1 ₂	Φ ₃
11	X ₆	Φ ₇
10	X ₄	Φ ₅

$K_0 = \overline{Q_2} Q_1$		
$Q_2Q_1 \backslash Q_0$	0	1
00	Φ ₀	0 ₁
01	Φ ₂	1 ₃
11	X ₆	0 ₇
10	X ₄	0 ₅

$$J_2 = \overline{Q_1} + Q_0$$

$$K_0 = \overline{Q_2} + \overline{Q_1}$$

4.5 Faire le schéma du compteur complet [2]



5. Exercice 4 [3]

5.1 Indiquez combien il faut de bascules pour construire un compteur binaire dont l'intervalle de comptage va de 0 à 1023 [1]

5.2 Calculer la fréquence du signal de sortie de la dernière bascule de ce compteur si la fréquence du signal d'entrée est de 2 MHz [1]

5.3 Quel est le MODULO de ce compteur ? [1]

Compteur à cycle complet de $1024 = 2^{10}$ états \Rightarrow 10 bascules.

La 1^{re} bascule n°1, divise la fréquence d'horloge par $2^1 = 2$.

La 2^{me} bascule n°2, divise la fréquence d'horloge par $2^2 = 4$.

La 10^{me} bascule n°10 divise la fréquence d'horloge par $2^{10} = 1024$.

La fréquence de sortie de cette dernière bascule est donc :

$$F_{10} = \frac{F_H}{1024} = \frac{2 \cdot 10^6}{2^{10}} = \frac{10^6}{2^9} \approx 1953 \text{ Hz} \text{ .ou } F_{10} = \frac{2 \text{ MHz}}{1024} \approx \frac{2 \text{ MHz}}{1000} = 2 \text{ kHz}$$

Il s'agit d'un compteur à 1024 états numérotés de 0 à 1023 donc #1024 (# = modulo)

6. Exercice 5 [2]

On souhaite assembler plusieurs circuits PROM 256x8 pour obtenir une capacité de 1024 octets.

6.1 Combien faut-il de circuits PROM ? [1]

6.2 Quel doit être la dimension en bits du bus d'adresse ? [1]

$1024 = 2^{10} = 256 \times 4 = 2^8 \times 2^2 \Rightarrow$ il faut 4 circuits PROM 256x8.

Nous devons adresser 1024 = 2^{10} mots de 8 bits (octet) donc utiliser 10 bits d'adresse.

Chaque circuit comportant 256 = 2^8 mots sera adressé par un bus de 8 bits d'@.

Reste 2 bits pour adresser 1 PROM parmi 4.