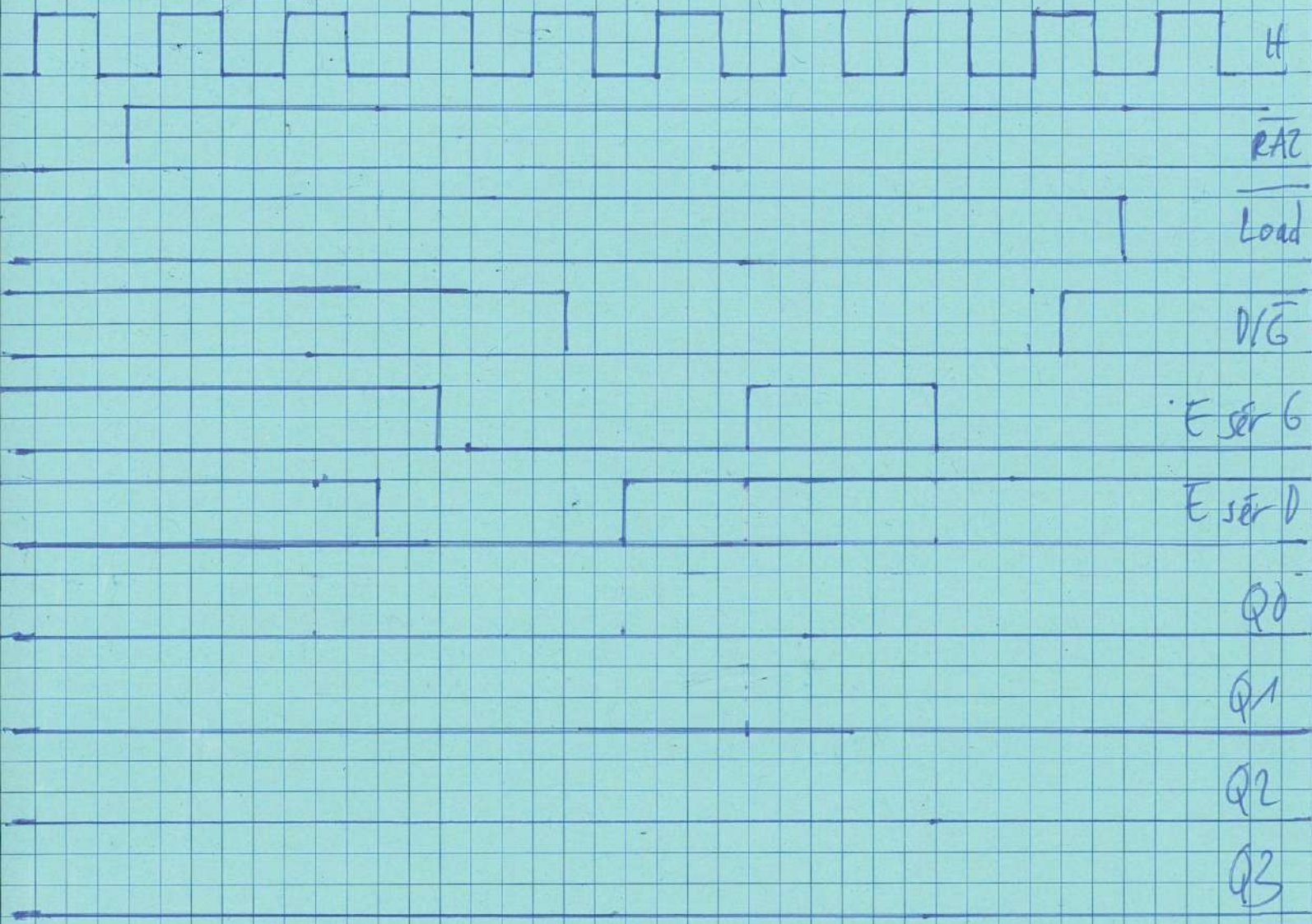


Exercice 2:



0/4

NOM BEN MAMAR

Prénom Koussaïla

Promo PL2 (Promo 2019)

Date 01/06/2016



1000



BEN MAMAR Koussaïla
PL2 - 2015

MATIÈRE DE Systèmes Numériques

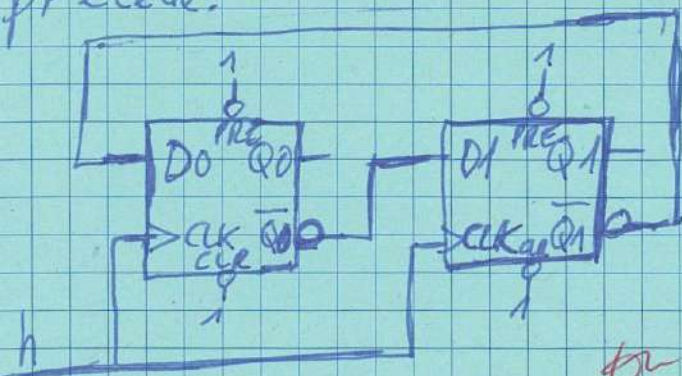
Questions de cours:

6/7

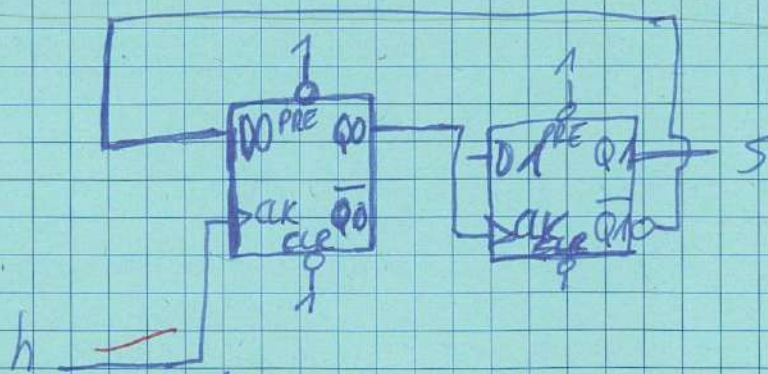
1) La logique séquentielle se base sur la logique combinatoire mais avec une fonction temporelle en plus. En effet, construire un système séquentiel à partir d'un système combinatoire nécessite l'ajout d'une horloge généralement utilisée avec des bascules.

2) Une bascule RS est une bascule asynchrone, une bascule JK est une bascule synchrone. La bascule JK fonctionne sur impulsion d'horloge et récupère l'entrée de J si $K \neq J$, en état mémoire si $J = K = 0$, ...

3) Un compteur synchrone est un compteur dont toutes ses bascules sont reliées à une horloge commune alors qu'un compteur asynchrone a seulement sa première bascule reliée à l'horloge et chaque bascule à partir de la deuxième voit son entrée (CLK) reliée à la sortie Q_i de la bascule qui le précède.



compteur synchrone



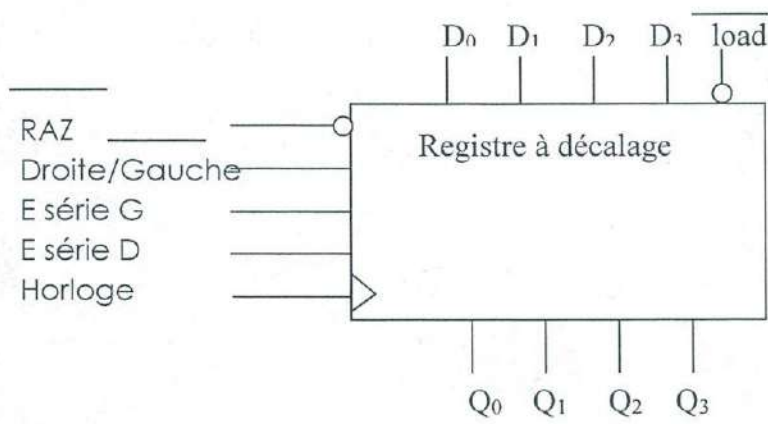
compteur asynchrone

4) Dans le cas présent, ce circuit là avec $J = K = 1$ divise par 2 la fréquence de sortie, donc $f_{\text{sortie}} = \frac{512}{2} = 256 \text{ kHz}$

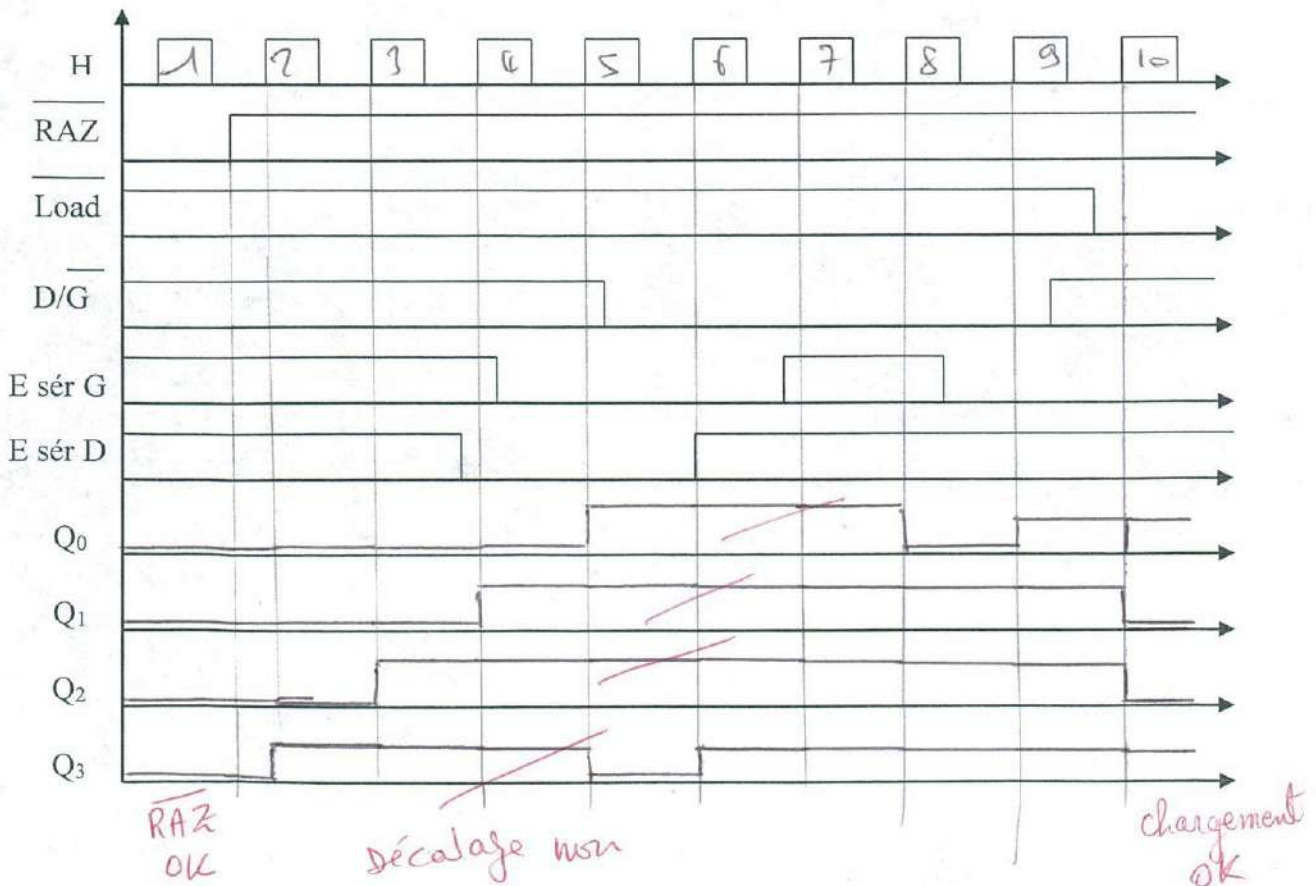
Exercice 3

Soit le registre à décalage bidirectionnel de quatre bits de la figure ci-dessous. Les entrées D0, D1, D2, D3 sont des entrées de chargement parallèle. L'entrée load active sur niveau bas permet le chargement parallèle de ces entrées (D0 = 1, D1 = 0, D2 = 0, D3 = 1) sur front actif de l'horloge, elle est prioritaire par rapport aux entrées de décalage.

L'entrée RAZ (de remise à zéro) est une entrée asynchrone active sur niveau bas. L'entrée série gauche (E série G ou E sér G) est l'entrée du décalage à gauche. L'entrée série droite (E série D ou E sér D) est l'entrée du décalage à droite. L'entrée Droite / Gauche (D/G) entraîne un décalage à droite si l'entrée est à 1, un décalage à gauche si l'entrée est à 0.



Compléter le chronogramme suivant.



La bascule D recopie la valeur d'entrée en sortie lorsque l'horloge est active. (D Edge Triggered)

H	D	Q
0	X	Q _t (mémoire)
	0	0
	1	1

⇒

Q ₂	Q ₁	Q ₀	Q ₂	Q ₁	Q ₀
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	0	1	0

1/1
~~0/1~~
 si 6 et 7 détectés.

Q _t	Q _{t+1}	D
0	→	0
0	→	1
1	→	0
1	→	1

D2

Q ₂ \ Q ₁ Q ₀	00	01	11	10
0	0	0	X	0
1	1	X	X	X

D1

Q ₂ \ Q ₁ Q ₀	00	01	11	10
0	0	X	X	1
1	0	X	1	1

D0 = $\overline{Q_2}$? Erreur

Erreur

Q ₂ \ Q ₁ Q ₀	00	01	11	10
0	X	X	X	X
1	X	X	X	X

non

015/2

D2 = Q₂ |
 D1 = Q₁ | non
 D0 = 1 | erreur

015/2