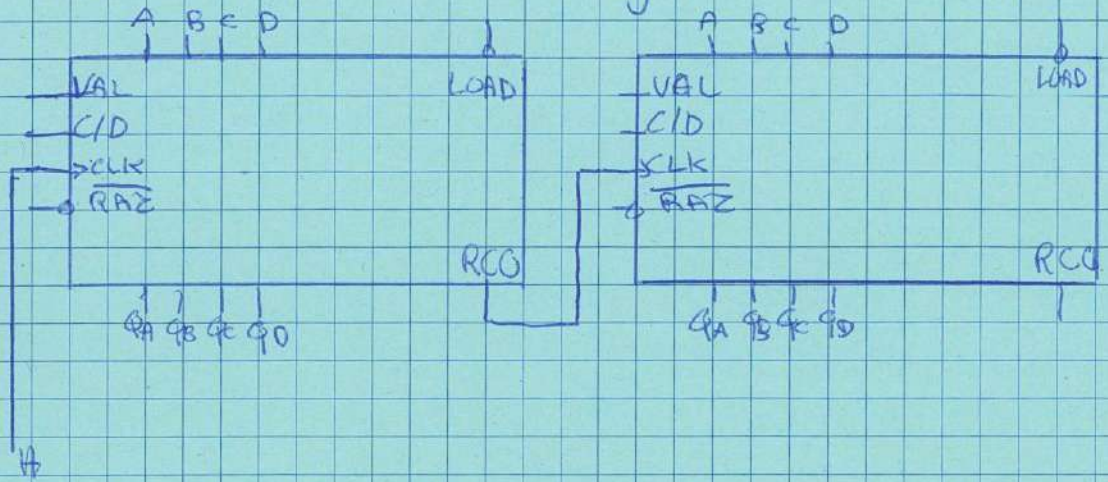


b-) Mise en cascade asynchrone



fin

Exercice 1:

H	1	2	3	4	5	6	7	8	9	10
$\Phi_0$	0	1	0	0	1	0	0	1	0	0
$\Phi_1$	0	0	1	0	0	1	0	0	1	0
$\Phi_2$	0	0	0	1	1	1	0	0	0	1
	0	1	2	4	5	6	0	1	2	4

4/4

Il s'agit d'un compteur modulo 6 asynchrone à cycle non mesuré ( ).

fin



NOM Meftah

Prénom Kamel

Promo 2019

Date 01/06/2016



1800



MEFTAH Kamel  
L2 - 2015

## MATIÈRE Systemes Numeriques

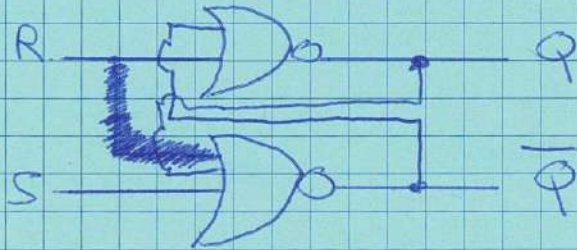
### Cours:

7  
7

1-) Pour construire un système séquentiel à partir d'un système combinatoire, il faut faire "boucler" la(les) sortie(s) sur l'(les) entrée(s), c'est-à-dire faire dépendre le signal ~~de sortie~~ avec le signal de sortie précédent.

Ex: Bascule RS

1



2-) Une bascule asynchrone est une bascule dont les sorties dépendent des sorties précédentes, elles n'ont pas de signal d'horloge qui donne le moment du changement d'état (par exemple, la bascule RS).

1

Une bascule synchrone fonctionne de la même façon, à l'exception qu'un signal d'horloge CLK est branché à la bascule afin de déterminer l'instant où les changements d'état se feront (bascule JK, bascule D, etc...).

Qui



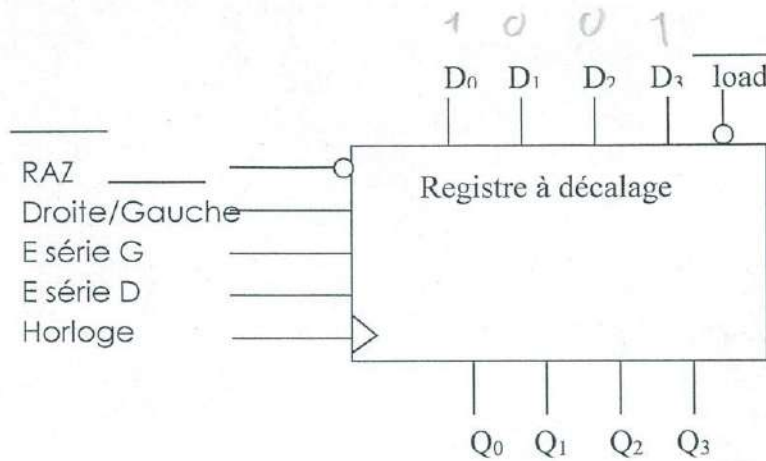
### Exercice 3

Soit le registre à décalage bidirectionnel de quatre bits de la figure ci-dessous. Les entrées D0, D1, D2, D3 sont des entrées de chargement parallèle. L'entrée load active sur niveau bas permet le chargement parallèle de ces entrées (D0 =1, D1=0, D2=0 D3=1) sur front actif de l'horloge, elle est prioritaire par rapport aux entrées de décalage.

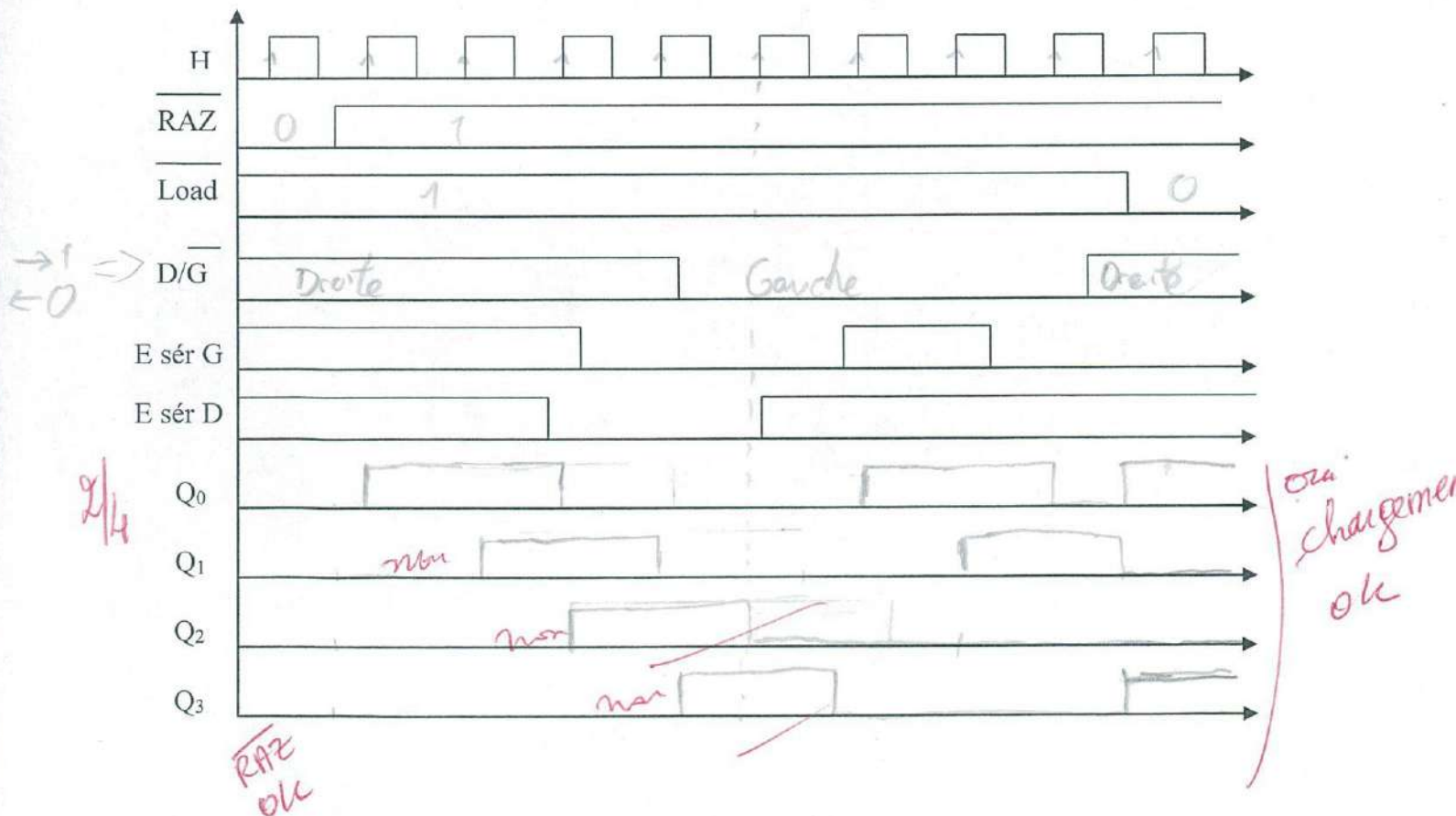
L'entrée RAZ (de remise à zéro) est une entrée asynchrone active sur niveau bas.

L'entrée série gauche (E série G ou E sér G) est l'entrée du décalage à gauche.

L'entrée série droite (E série D ou E sér D) est l'entrée du décalage à droite. L'entrée Droite / Gauche (D/G) entraîne un décalage à droite si l'entrée est à 1, un décalage à gauche si l'entrée est à 0.



Compléter le chronogramme suivant.





4-) Comme  $J=K=1$ , à chaque front de l'horloge, la sortie  $Q$  vaudra l'état  $\bar{Q}$  précédent, autrement dit, à chaque fronts,  $Q$  changera d'état pour prendre l'état opposé. À partir de là, on peut en déduire que:

$$T_Q = 2T_H \Rightarrow \frac{1}{T_Q} = \frac{1}{2T_H} \text{ or comme on a } f = \frac{1}{T},$$

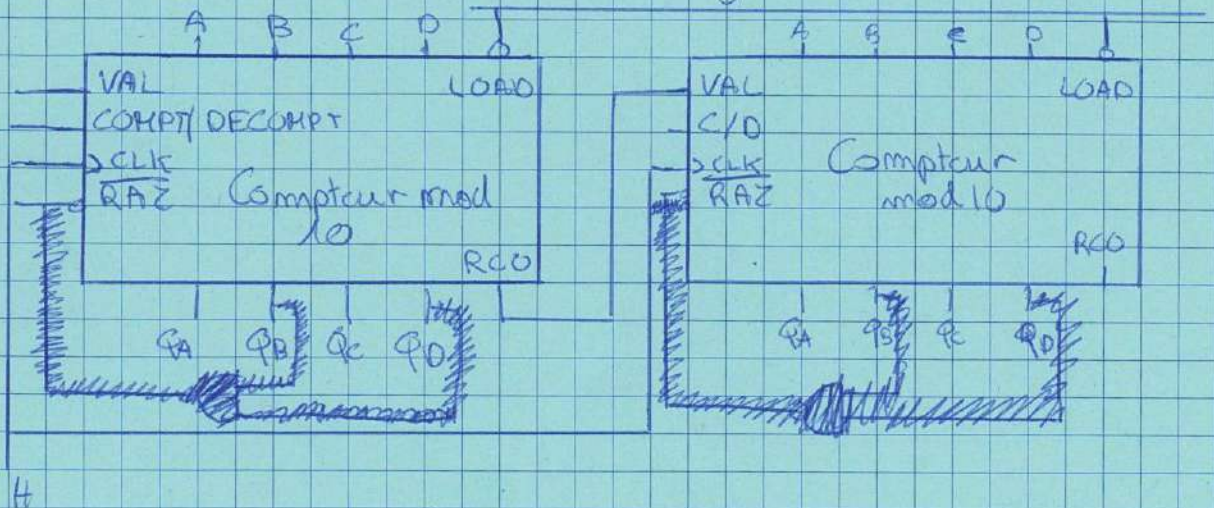
alors  $f_Q = \frac{1}{2} f_H$  d'où  $f_Q = 256 \text{ KHz}$ . oui

5-) Les entrées asynchrones des buscules sont des signaux de remise à zéro de la sortie ou de mise à 1 de la sortie, respectivement noté  $\overline{\text{CLR}}$  et  $\overline{\text{PRE}}$ .

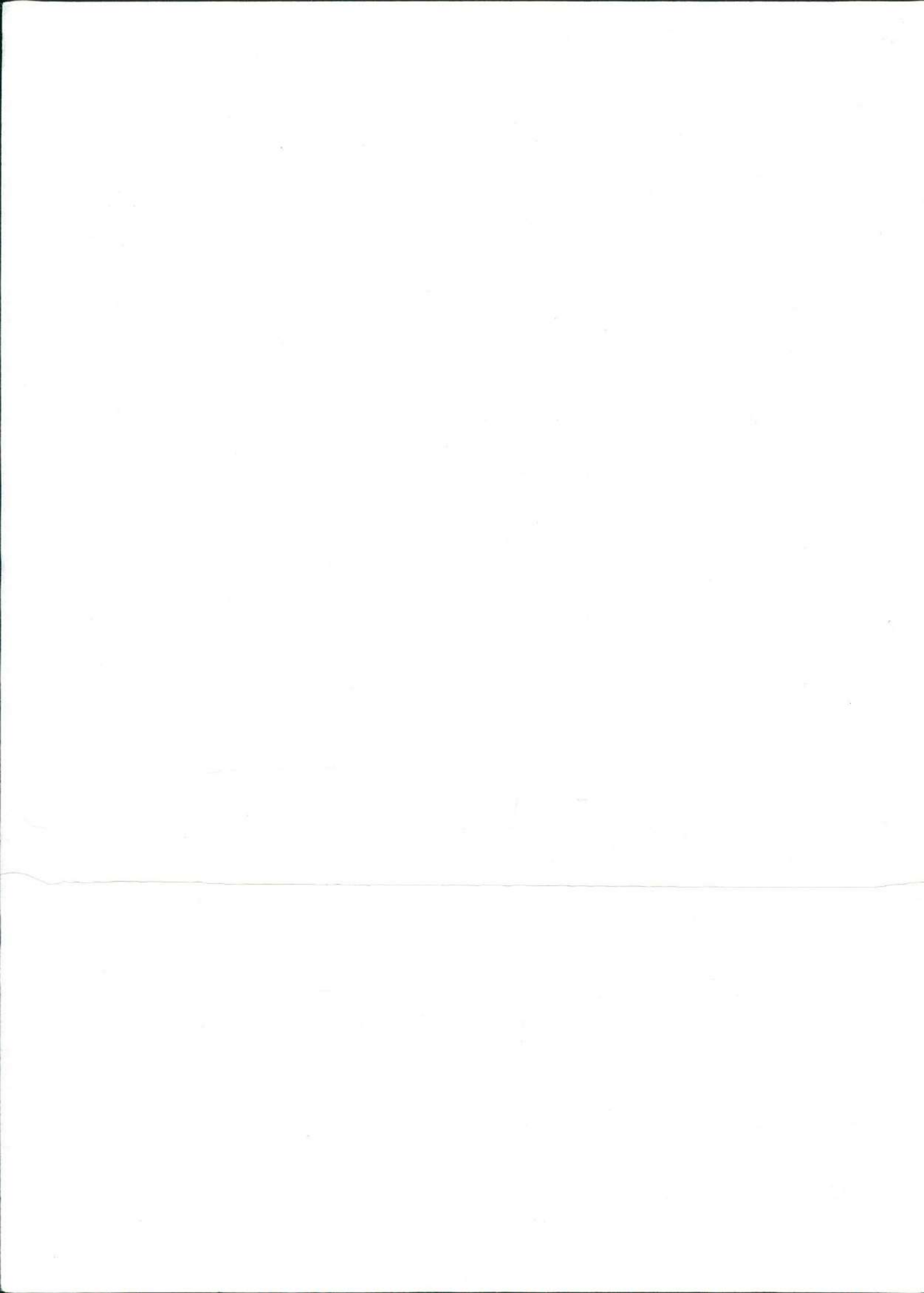
Ces signaux sont prioritaires et actifs au niveau bas. Elles permettent de forcer l'état de la sortie soit sur 0, soit sur 1.

On peut se servir de  $\overline{\text{CLR}}$  dans les compteurs ayant un modulo, qui n'est pas une puissance de 2 par exemple. (comme un compteur modulo 10).

6-) a-) Mise en cascade synchrone



En mettant les compteur mod 10 en cascade, on obtient un compteur mod 100. Il est synchrone ici car ils ont la même clock. Le 1er va compter de  $(0)_{10} = (0000)_2$  à  $(9)_{10} = (1001)_2$ . Lorsqu'il arrive à 9, la sortie RCO va passer à 1 et activer le second compteur.





DE : Système Numérique

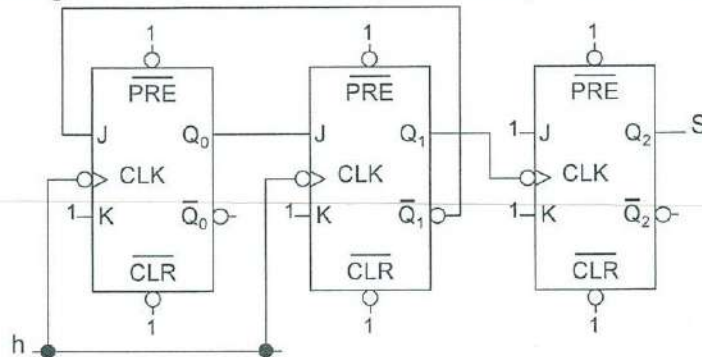
Questions de cours : Les réponses doivent être courtes, quelques lignes suffisent

- 1) Comment peut-on construire un système séquentiel à partir d'un système combinatoire (vous pouvez faire un schéma) ?
- 2) Donner un exemple de bascule asynchrone et de bascule synchrone. Expliquer le mode de fonctionnement de ces deux bascules.
- 3) Expliquer les différences entre un compteur synchrone et un compteur asynchrone. Donner un schéma de chaque type de compteur.
- 4) On applique un signal d'horloge de 512 KHz à une bascule dont les entrées J et K sont toutes les deux à 1. Quelle est la fréquence de l'onde de sortie de la bascule ?
- 5) A quoi servent les entrées asynchrones des bascules ? Donner un exemple d'application.
- 6) Donner le schéma et expliquer le principe de fonctionnement d'un compteur modulo 100, à partir de deux compteurs intégrés modulo 10
  - a) la mise en cascade est synchrone
  - b) la mise en cascade est asynchrone

Exercice 1

L'état initial est  $Q_i = 0$ .

- 1) Élaborer le chronogramme de  $Q_0$ ,  $Q_1$ ,  $Q_2$  pour 10 impulsions d'horloge.

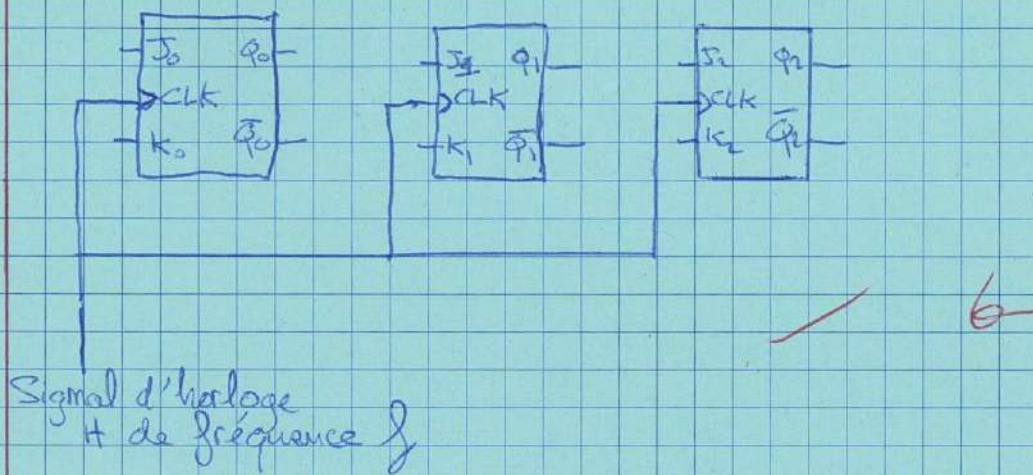


- 2) Préciser la fonctionnalité du circuit.



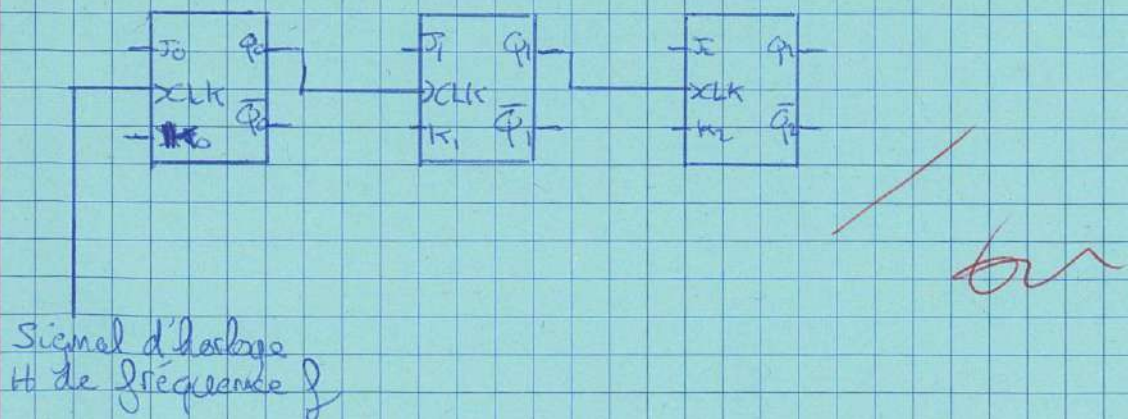
3-) Un compteur synchrone est un compteur dans lequel les bascules partagent le même signal d'horloge, les changements d'états se font au même moment.

Ex: Compteur synchrone bascules JK modulo 8.



2) Un compteur asynchrone, quant à lui, verra l'horloge de chacune des bascules devenir la sortie de la bascule précédente (à part la 1ère, ou CLK sera un signal d'horloge classique).

Ex: Compteur asynchrone bascules JK modulo 8.





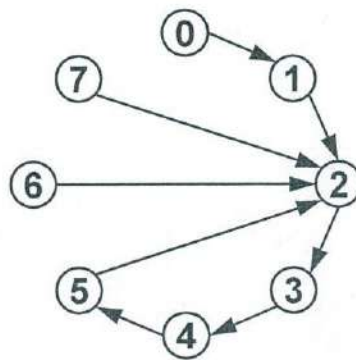
### Exercice 3 : Compteur synchrone à cycle incomplet à l'aide de bascules D

Il s'agit de réaliser un comptage de 2 à 5 en utilisant les entrées de forçage asynchrones SET et RESET et/ou les entrées de données à chargements parallèles de bascules D.

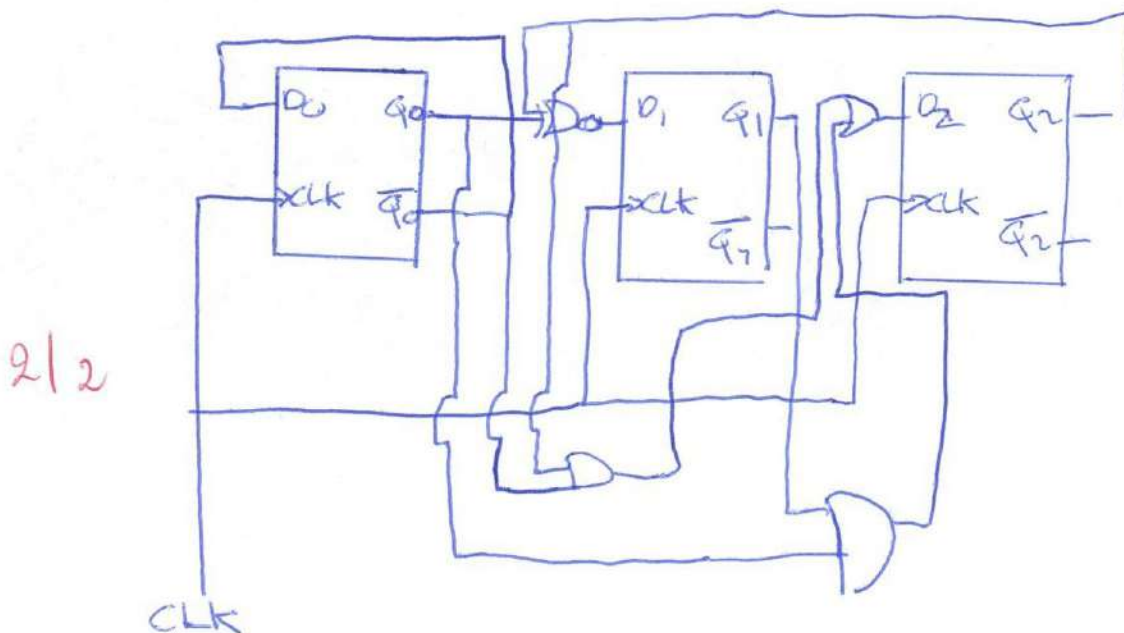
1) Il s'agit de réaliser un comptage de 2 à 5 en utilisant les entrées de forçage asynchrones SET et RESET et/ou les entrées de données à chargements parallèles de bascules D.

2) Élaborer le cycle de comptage et en déduire le nombre nécessaire de bascules. Élaborer le cycle de comptage associé au graphe d'états ci-dessous et en déduire le nombre nécessaire bascules. Élaborer la table des états. En utilisant les tables de KARNAUGH, déduire les expressions simplifiées des entrées en fonction des états antérieurs des sorties :

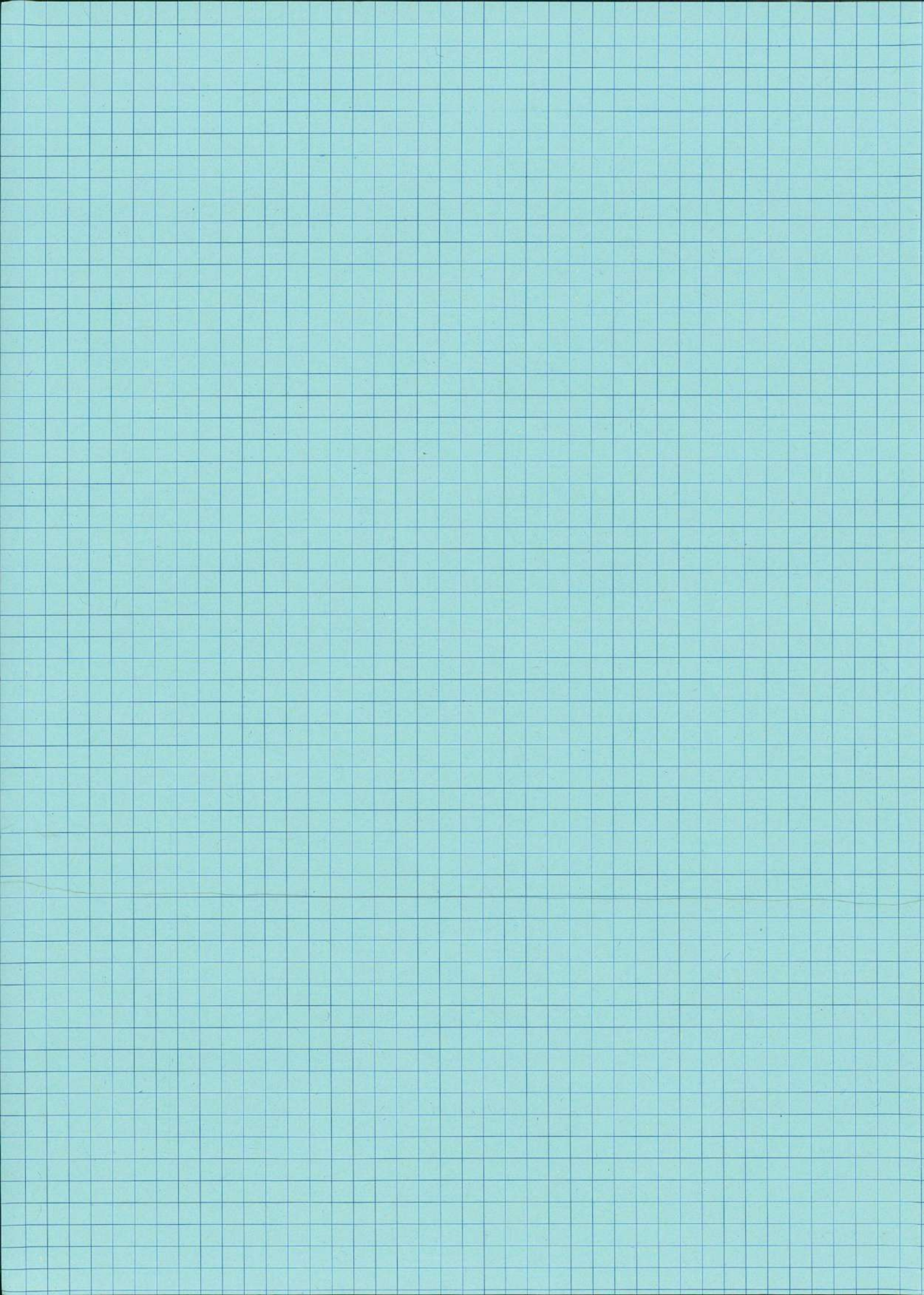
$$D_i(t) = f [Q_k(t-1)]$$



3) Réaliser le schéma du circuit avec des bascules D et des portes logiques









NOM MeFrah

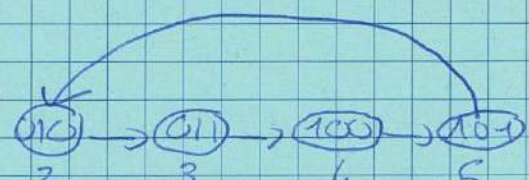
Prénom Kamel

Promo 2019

Date 01/06/2016

### MATIÈRE Systèmes Numériques

#### Exercice 3: 4/5

2-) Cycle de comptage: 

Il nous faudra 3 bascules D.

Table des états:

	États précédents			États suivants		
	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	0	1	0

111

Pour D<sub>0</sub>

(X: états interdits)

		00	01	11	10	
Q <sub>2</sub> Q <sub>1</sub> / Q <sub>0</sub>	0	X <sup>0</sup>	1 <sup>1</sup>	X <sup>2</sup>	1 <sup>3</sup>	→ D <sub>0</sub> = Q <sub>0</sub>
	1	X <sup>4</sup>	0 <sup>5</sup>	X <sup>6</sup>	0 <sup>7</sup>	

1/2

Pour D<sub>1</sub>

$$D_1 = \overline{Q_2} \overline{Q_0} + Q_2 Q_0 = \overline{Q_2} \oplus \overline{Q_0}$$

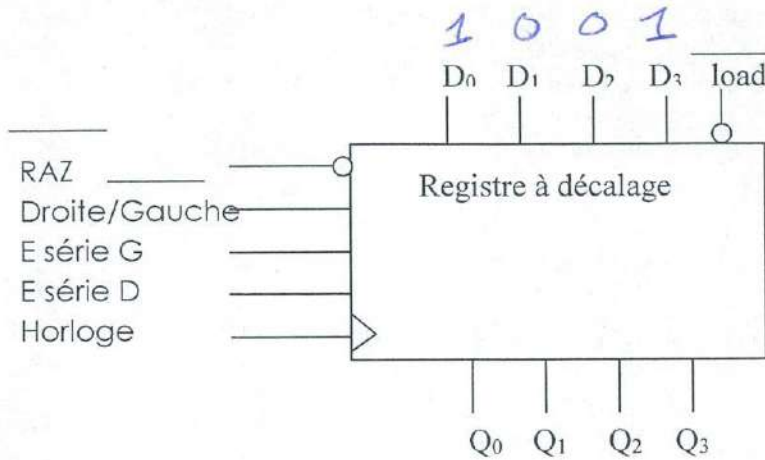
		00	01	11	10	
Q <sub>2</sub> Q <sub>1</sub> / Q <sub>0</sub>	0	X <sup>0</sup>	1 <sup>1</sup>	X <sup>2</sup>	0 <sup>3</sup>	→ Q <sub>2</sub> Q <sub>0</sub>
	1	X <sup>4</sup>	0 <sup>5</sup>	X <sup>6</sup>	1 <sup>7</sup>	



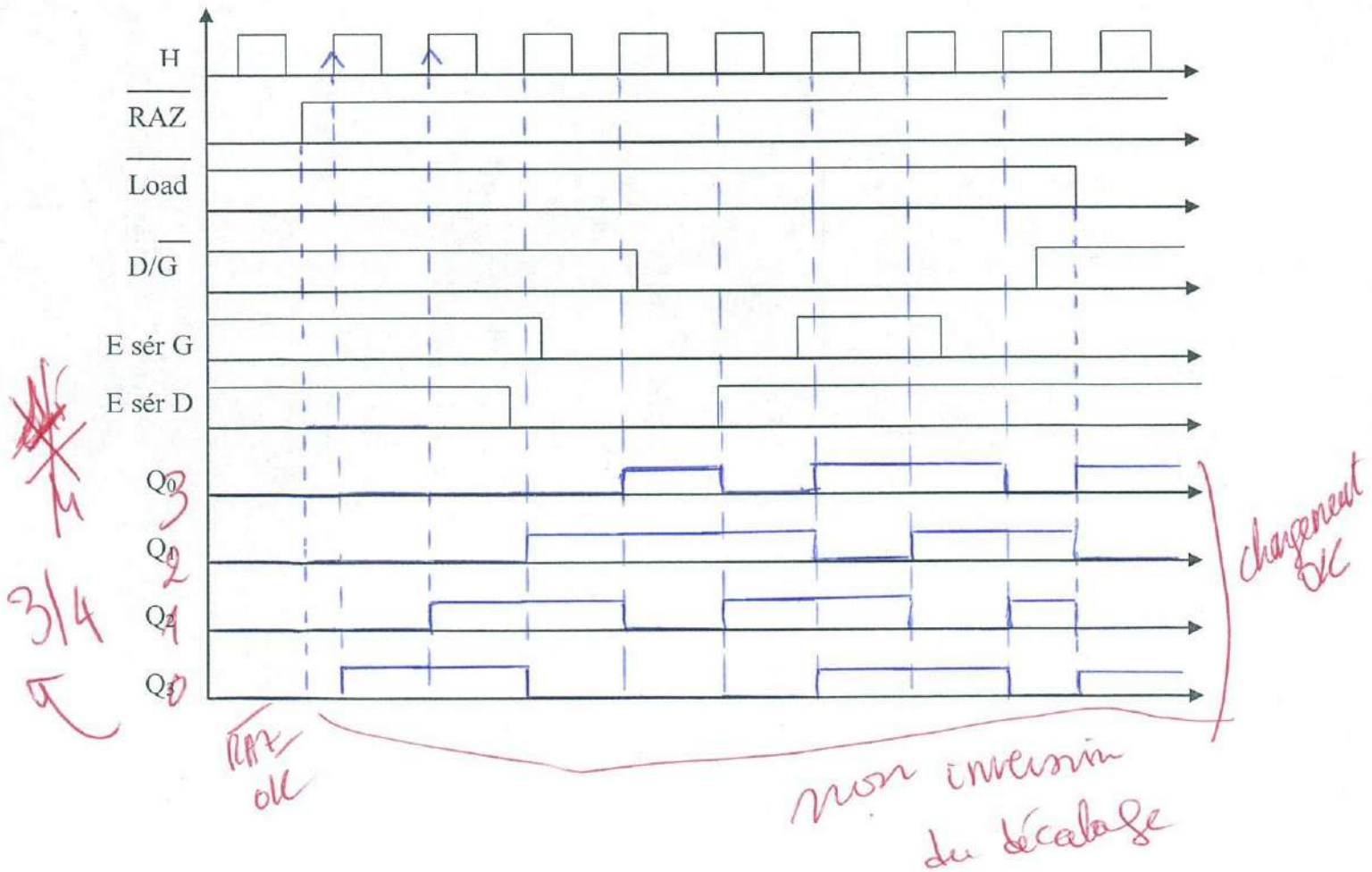
### Exercice 3

Soit le registre à décalage bidirectionnel de quatre bits de la figure ci-dessous. Les entrées D0, D1, D2, D3 sont des entrées de chargement parallèle. L'entrée load active sur niveau bas permet le chargement parallèle de ces entrées (D0 =1, D1=0, D2=0 D3=1) sur front actif de l'horloge, elle est prioritaire par rapport aux entrées de décalage.

L'entrée RAZ (de remise à zéro) est une entrée asynchrone active sur niveau bas. L'entrée série gauche (E série G ou E sér G) est l'entrée du décalage à gauche. L'entrée série droite (E série D ou E sér D) est l'entrée du décalage à droite. L'entrée Droite / Gauche (D/G) entraîne un décalage à droite si l'entrée est à 1, un décalage à gauche si l'entrée est à 0.



Compléter le chronogramme suivant.





+P<sub>0</sub>P<sub>2</sub>