

Corrigé DE Systèmes Numériques 2016

Questions de cours [7points]

- 1) [1] On peut construire un système séquentiel à partir d'un système combinatoire ayant pour entrées des variables internes, elles mêmes fonctions de l'état du système. Les systèmes séquentiels apparaissent donc comme bouclés.
- 2) [1] Bascule RS est la bascule asynchrone la plus simple : les sorties sont bouclées sur les entrées.
Bascule synchrone, le changement d'états s'effectue en fonction du niveau (0 ou 1) de l'horloge.
- 3) [2] Compteur synchrone : tous les changements d'états sont synchronisés par le même front d'un même signal d'horloge.

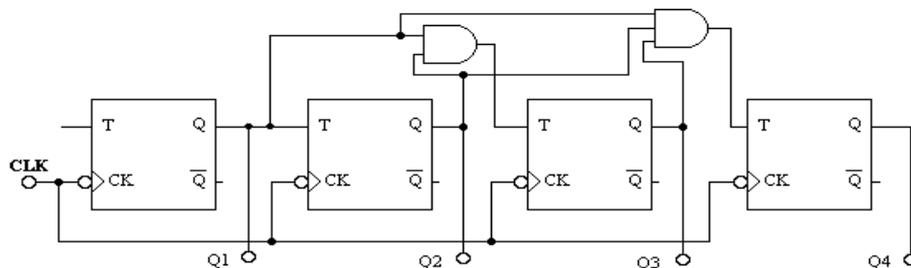


Figure 1

Compteur asynchrone : (à propagation) : le signal d'horloge sert à déclencher la première bascule, celle du poids le plus faible, les horloges suivantes sont les sortie d'une bascule précédente.

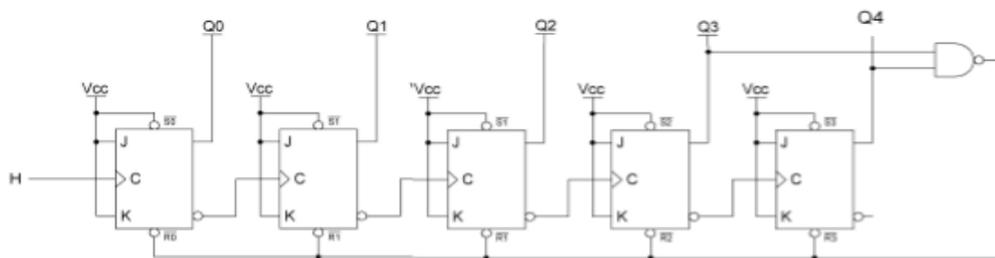


Figure 2

- 4) [1] La fréquence de l'onde de sortie d'une bascule JK (J=K=1) est :

$$F_s = F_H / 2 = 512 / 2 = 256 \text{ KHz}$$
 (mode bascule : changement d'état sur chaque CLK montant ou descendant).
- 5) [1] Les entrées asynchrones sont des entrées de forçage prioritaires : sont actives au niveau bas : $\overline{\text{CLR}}$ entrée asynchrone prioritaire forçage à 0
 $\overline{\text{PRE}}$ entrée asynchrone prioritaire forçage à 1

Exemple d'application : On peut l'utiliser par exemple pour tout remettre à zéro. Voir figure 2 (Compteur modulo 24) forçage à 0. Pour passer de 24 à 0. 0 0000

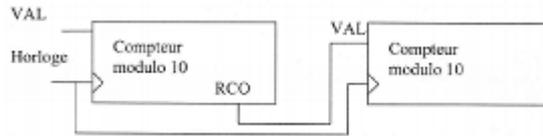
24 11000

$\overline{\text{CLR}} = Q_3 Q_4$.

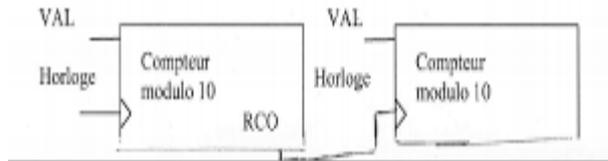
6) Compteur modulo 100, à partir de deux compteur intégrés modulo 10 (1 point)

Les circuits intégrés qui réalisent ce compteur sont deux boites noires mises en cascades.

- a) La mise en cascade peut être **synchrone** en utilisant l'entrée de validation du second compteur.

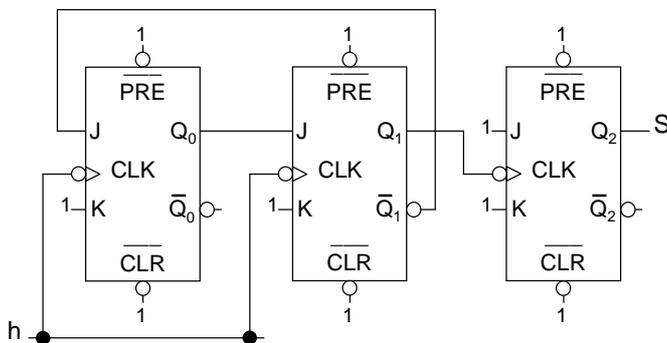


- b) La mise en cascade peut être asynchrone en utilisant l'entrée horloge du second compteur.

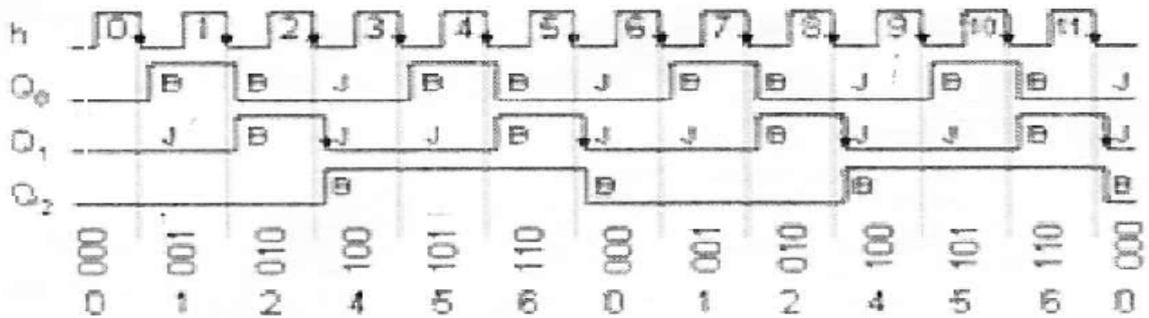


Exercice 1 [4points]

- 1) Élaborer le chronogramme de Q_0 , Q_1 , Q_2 pour 10 impulsions d'horloge. (3 points)



Soit le chronogramme (l'état initial est $Q_i = 0$)



La fonctionnalité du circuit (1 point) : Compteur modulo 6 : 6 états.

Ce circuit a pour cycle $0 \rightarrow 1 \rightarrow 2 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 0$

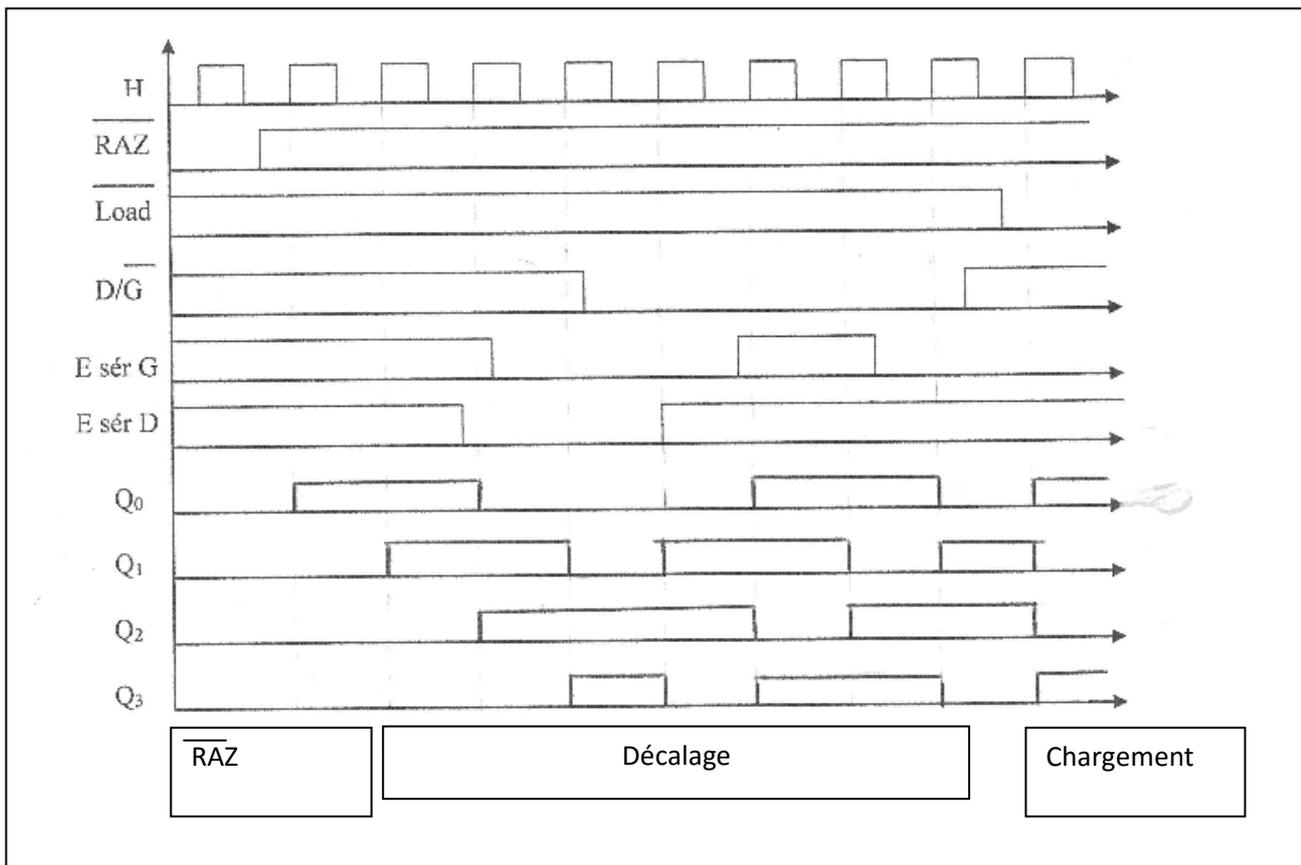
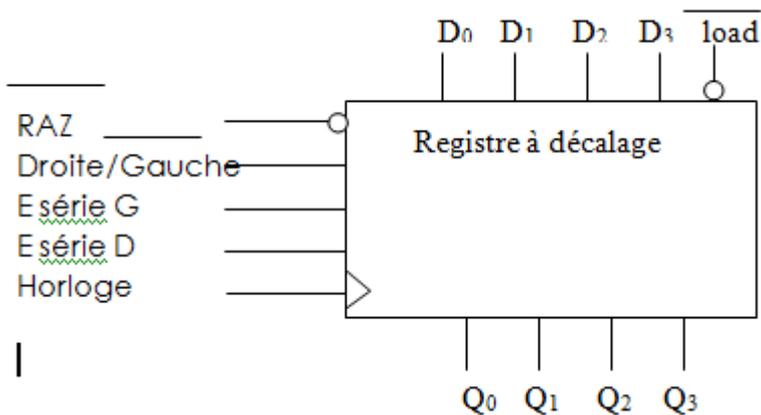
Exercice 2 [4points]

Soit le registre à décalage bidirectionnel de quatre bits de la figure ci-dessous.

Les entrées D0, D1, D2, D3 sont des entrées de chargement parallèle. L'entrée $\overline{\text{load}}$ active sur niveau bas permet le chargement parallèle de ces entrées (D0 =1, D1=0, D2=0 D3=1) sur front actif de l'horloge, elle est prioritaire par rapport aux entrée de décalage.

L'entrée $\overline{\text{RAZ}}$ (de remise à zéro) est une entrée asynchrone active sur niveau bas.

L'entrée série gauche (E série G ou E sér G) est l'entrée du décalage à gauche. L'entrée série droite (E série D ou E sér D) est l'entrée du décalage à droite. L'entrée Droite / Gauche (D/G) entraîne un décalage à droite si l'entrée est à 1, un décalage à gauche si l'entrée est à 0.

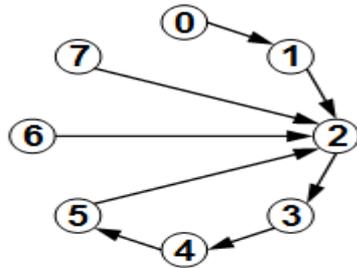


Exercice 3 [5points]

Compteur synchrone à cycle incomplet à l'aide de bascules D

Il s'agit de réaliser un comptage de 2 à 5

Elaboration de la table de comptage liée au graphe ci-dessous



Détermination des états présents et états suivants

	Q ₂ Q ₁ Q ₀	Q _{2(t+1)} Q _{1(t+1)} Q _{0(t+1)}
0	0 0 0	0 0 1
1	0 0 1	0 1 0
2	0 1 0	0 1 1
3	0 1 1	1 0 0
4	1 0 0	1 0 1
5	1 0 1	0 1 0

Etat max = 5 = 101 : 3 bits implique 3 bascules

Le compteur passe une fois de 0 à 1 puis suit le cycle 2 3 4 5 2.

Les états 6 = 110 et 7 = 111 si détectés passent à 2 = 010

Table de transition de la bascule D

Q _t	Q _{t+1}	D
0	0	0
0	1	1
1	1	1
1	0	0

Tableaux de Karnaugh

$D_0 = \overline{Q_0}$

Q_0	0	1
$Q_2 Q_1$		
0 0	1	0
0 1	1	0
1 1	ϕ	ϕ
1 0	1	0

$D_1 = Q_1 \overline{Q_0} + Q_1 Q_0$

Q_0	0	1
$Q_2 Q_1$		
0 0	0	1
0 1	1	0
1 1	ϕ	ϕ
1 0	0	1

$D_2 = Q_2 \overline{Q_0} + Q_1 Q_0$

Q_0	0	1
$Q_2 Q_1$		
0 0	0	0
0 1	0	1
1 1	ϕ	ϕ
1 0	1	0

Expressions des entrées en fonction des états antérieurs des entrées.

$D_0 = \overline{Q_0}$

$D_1 = Q_1 \overline{Q_0} + Q_1 Q_0 = Q_0 \oplus Q_1$

$D_2 = Q_2 \overline{Q_0} + Q_1 Q_0$