

Deuxième partie : Démodulation de fréquence

A l'issue de la première séance, les élèves les plus avancés ont réussi à concevoir un système capable de démoduler le signal FSK au niveau de l'utilisateur et de discuter de ses limites dans le cas concret d'une transmission obéissant à la recommandation V23.

Aujourd'hui, les élèves seront conduits à étudier deux autres possibilités de démodulation pour conclure sur un dispositif opérationnel. Ces deux techniques qui visent la mesure d'une fréquence reposent :

- Sur un asservissement de fréquence au moyen d'une boucle à verrouillage de phase.
- Sur le principe d'un comptage des transitions du signal modulé

Aucun compte rendu n'est exigé à la fin de cette séance, mais la présence est obligatoire et les élèves devront consigner soigneusement leurs résultats afin de pouvoir les reproduire dans le rapport final.

Le rapport de synthèse doit être déposé sur Campus et remis en version papier aux enseignants avant le début de la troisième séance. L'évaluation de ce travail tiendra compte de la présentation des résultats numériques ainsi que de l'effort de synthèse déployé par les élèves.

• Pour toutes les simulations: Simulate/Simulation properties/ Range : Frequency=1,2MHz End (sec)=0,3.

I. UTILISATION D'UNE BOUCLE A VERROUILLAGE DE PHASE

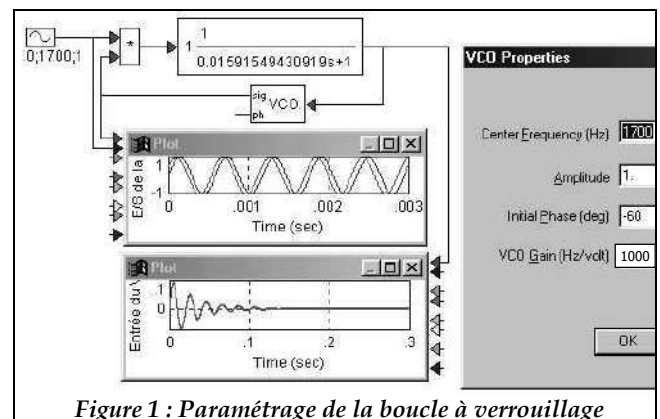
ASSERVISSEMENT DE PHASE

Il s'agit ici de démoduler le signal FSK au moyen d'une boucle à verrouillage de phase. Il semble donc logique de centrer la fréquence du VCO sur :

$$\text{CenterFrequency} = \frac{f_0 + f_1}{2} = 1700\text{Hz}$$

Q0. Examinons donc rapidement un simple verrouillage à 1700Hz.

- Saisir une PLL avec un filtre d'ordre $n=1$ et de fréquence de coupure $f_c=10\text{Hz}$. Justifier le choix de ces différents paramètres (Ordre et fréquence de coupure).
- Relever les signaux de la fig.1 pour différentes valeurs du déphasage (Initial Phase) : $-90^\circ, -60^\circ, -30^\circ, 0^\circ$.
- On note V_K , la tension de commande du VCO. Justifier la valeur finale de V_K à l'issue de chaque simulation.
- Relever la valeur du déphasage entre le VCO et le signal d'entrée de la boucle à la fin de chaque simulation. Commentaires.



ASSERVISSEMENT DE FREQUENCE

Q1. Simuler la même PLL avec une entrée sinusoïdale à $f_0=2100\text{Hz}$ ($\neq \text{CenterFrequency}$).
• Commenter cette simulation et refaire la même expérience avec un filtre de fréquence de coupure $f_c=1500\text{Hz}$.

- Optimiser la convergence de la PLL en augmentant l'ordre du filtre.
- Relever et justifier la valeur finale de V_K . Commenter le spectre des différents signaux de la boucle à partir de l'instant où V_K a atteint sa valeur finale.
- Relever la valeur finale de V_K pour les fréquences indiquées ci-contre.
- Représenter graphiquement V_K en fonction de la fréquence du signal d'entrée et justifier le bon fonctionnement de la PLL. **Validation.**
- A quel endroit de ce circuit doit-on prélever la sortie «démodulateur de fréquence » ?

f (Hz)	V_K (time $\rightarrow \infty$)
2100	
1900	
1700	
1500	
1300	

Q2. Simuler un démodulateur au moyen d'une boucle à verrouillage de phase pour un débit égal à $D=1200\text{b/s}$ puis pour $D=1200\text{b/s}$ comme indiqué par la recommandation V23.

- Proposer, si possible, les améliorations nécessaires à une détection optimale.
- Expérimenter des débits supérieurs à 1200b/s . Commentaires.
- **Validation.**

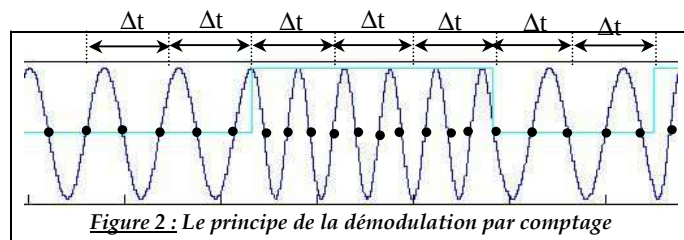
I. DEMODULATION FSK PAR COMPTAGE

PRINCIPE DE LA DEMODULATION

Q3*. La fig. 2 illustre un signal FSK à peu près de la même forme que celui reçu par notre modem. La durée de chaque symbole (0/1) y est représentée et désignée par Δt . En notant le débit de la liaison par D , nous avons :

$$\Delta t = \frac{1}{D}$$

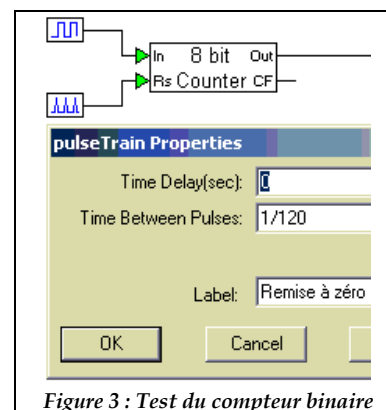
- Vérifier que le nombre de transition par «0» ou bien tout simplement le nombre de front montant du signal durant chaque Δt traduit la fréquence associée à chaque symbole.
- Imaginer un système capable de réaliser cette opération de comptage.



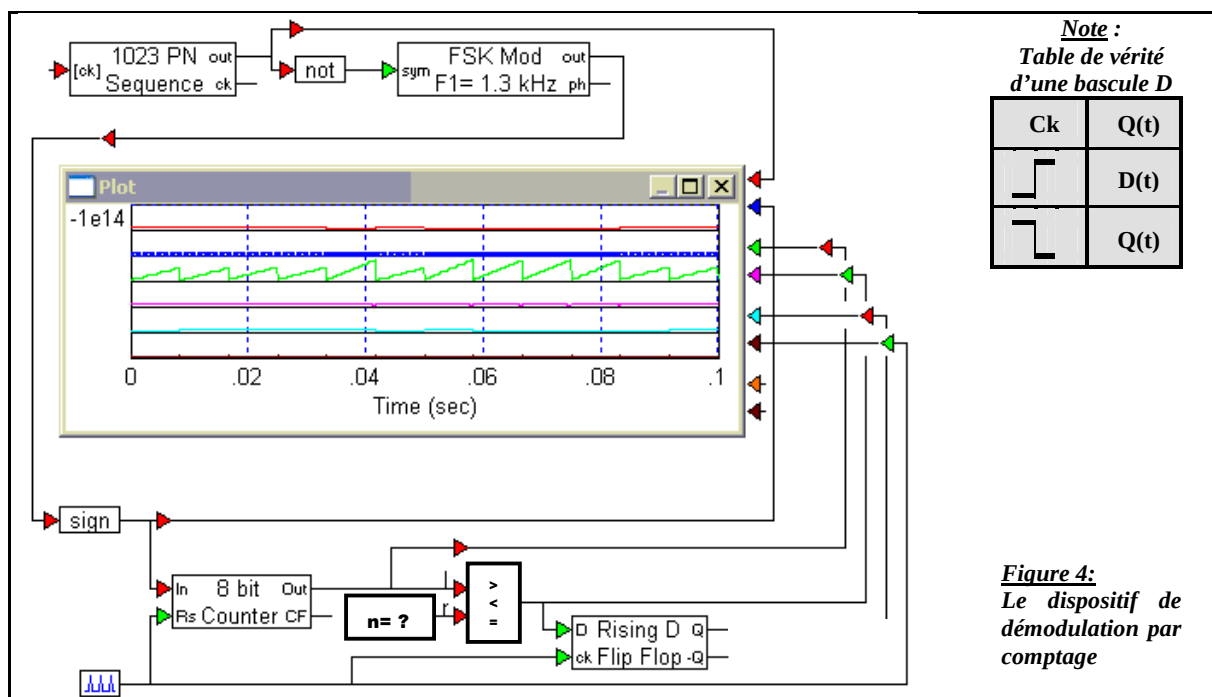
MISE EN ŒUVRE D'UNE SOLUTION

Bien adaptée pour une implémentation numérique, la solution proposée repose sur l'utilisation d'un compteur binaire (Comm/Digital/BinaryCounter) remis à zéro par un train d'impulsion de période Δt (Fig.3) et cadencé par les fronts montants du signal FSK.

- Q4.** Par souci de simplicité, nous supposons en premier lieu que le débit de la liaison est égal à **$D=1200\text{b/s}$** .
- Simuler le compteur de la figure 3 avec une entrée d'horloge (In) carré de fréquence $f_0=2100\text{Hz}$.
 - Relever le chronogramme des signaux d'E/S sur la même fenêtre graphique et refaire l'expérience pour une horloge à $f_1=1300\text{Hz}$. Commentaires.



- Q5.** Vérifier alors que la plus haute fréquence contenue dans le signal FSK peut-être détectée au moyen d'une simple comparaison telle que représentée sur la figure 3 avec un entier n .
- Compléter le dispositif de démodulation comme cela est indiqué avec une bascule D (Comm/Digital/D-Flip-Flop). Relever le résultat de la simulation.
 - Commenter ces résultats en notant qu'une bascule D est une mémoire élémentaire qui reproduit sa donnée D (son entrée) à chaque front montant de son horloge (ck). **Validation.**



- Q4.** Commenter le fonctionnement du démodulateur pour un débit égal à **$D=1200\text{b/s}$** comme indiqué par la recommandation V23. Proposer, si possible, les améliorations nécessaires à une détection optimale.
- Conclure sur une technique de démodulation satisfaisant notre cahier des charges.