

Projet : Information Numérique

Séance 1 : Réalisation d'additionneurs

Evaluation du Projet

Ce projet se déroulera sur trois séances de trois heures

Vous devrez faire valider auprès d'un enseignant les circuits simulés quand cela est spécifié dans le texte. L'évaluation sera faite sur l'explication détaillée que chaque étudiant donnera sur la fonctionnalité de son circuit. Les notes de projet sont individuelles.

Un rapport vous sera demandé à la fin de chaque séance. L'évaluation sera faite sur les explications détaillées.

Durant la troisième séance, une évaluation orale individuelle sur l'ensemble du projet sera faite par les enseignants.

Toute absence non justifiée auprès de l'enseignant sera pénalisée par un 0/20 à la séance.

Etude des additionneurs

Les additionneurs sont des circuits essentiels dans les ordinateurs mais aussi dans un grand nombre de systèmes traitant des données numériques.

Les opérations d'addition s'effectuent avec les mêmes règles de calcul dans tous les systèmes de numération.

Exemple

	00111101	(45) ₁₆
+	00110100	+(57) ₁₆
	-----	-----
	01110001	(9C) ₁₆

1.1 Demi-additionneur

Établir la table de vérité d'un additionneur un bit d'un autre bit, capable de générer deux sorties (la somme S et la retenue R).

Écrire les équations logiques des sorties (S sera réaliser qu'avec une seule porte logique)

Donner le schéma logique d'un demi-additionneur.

1.2 Additionneur complet

On établit la somme S_i (et la retenue R_i) de deux bits, A_i plus B_i , en tenant compte de la retenue R_{i-1} de l'étage précédent $i-1$

Établir la table de vérité de cet additionneur

Écrire les équations logiques de S_i et R_i .

Montrer qu'un additionneur complet est formé de deux demi-additionneurs et d'une porte logique.

Établir le schéma logique du circuit.

Créer le circuit sur Multisim et le simule (utiliser le générateur de mots et l'analyseur logique).

1.3 Additionneur à propagation de retenue.

La structure de l'additionneur de deux nombres est répétitive. Une cellule élémentaire peut être utilisée pour chaque poids. L'addition de deux nombres de n éléments binaires nécessite dans ce cas n additionneurs complets.

Réaliser le schéma d'un additionneur de deux mots de quatre bits avec quatre additionneurs complets.

Créer le circuit sur Multisim et le simuler. Vous devez utiliser la structure hiérarchique de Multisim. Mettre des connecteurs HB/SC sur vos entrées/sorties de l'additionneur complet. Ouvrir un nouveau schéma et cliquer sur placer un circuit comme bloc

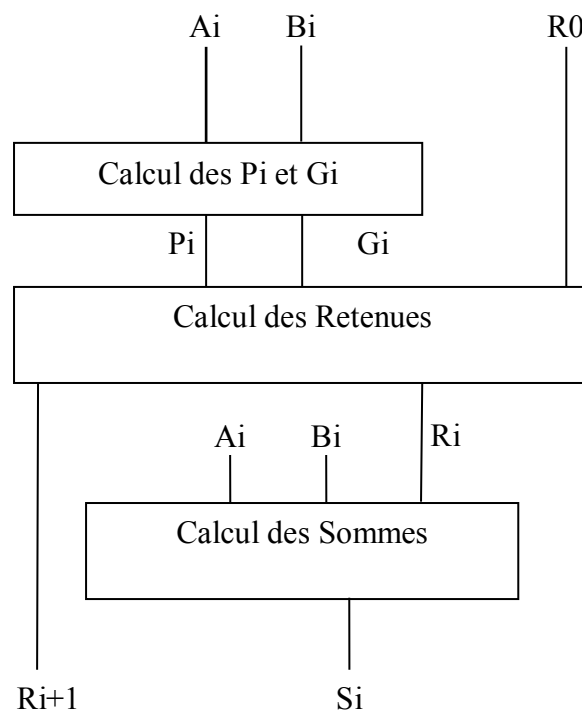
hiérarchique. , Sélectionner le fichier de votre additionneur complet. Faire le schéma en utilisant des additionneurs complets comme sous circuit.

Simuler et faire valider par un enseignant.

Dans cet additionneur on assiste à un phénomène de propagation de retenue. Si t représente le temps de calcul pour un étage, le temps de calcul total est nt dans le pire cas. Pour diminuer le temps de calcul au prix d'une augmentation de la complexité (nombre de portes), on propose l'additionneur à retenue anticipée.

1.4 Additionneur à retenue anticipée.

La structure complète de l'additionneur est la suivante.



Cette méthode consiste à calculer toutes les retenues en parallèle directement à partir des données sans même calculer les sommes partielles. Les temps de calcul de chaque étage sont tous égaux.

En repartant des équations de la sortie et de la retenue d'un additionneur complet, établir les équations de récurrence des retenues pour des mots de trois bits.

On posera $G_i = a_i \cdot b_i$ et $P_i = a_i + b_i$.

Montrer que les expressions des retenues R_i peuvent s'écrire $R_{i+1} = G_i + R_i P_i$. Donner l'expression de R_0, R_1, R_2, R_3 en fonction de $G_0, G_1, G_2, P_0, P_1, P_2, R_0$.

Donner les expressions de sorties S_0, S_1, S_2 et de R_2 en fonction des G_i et P_i .

Vous devez simuler sous Multisim la structure complète de l'additionneur (voir la figure ci dessus). Créer des sous circuit pour chaque bloc (Calcul des G_i et P_i , calcul des retenues, calcul des Sommes).

1.5 Comparaison des deux méthodes

On suppose que le passage d'un signal électrique dans une porte prend 10 nanosecondes. On dit qu'un circuit travaille en p ns si tous les signaux de sortie sont disponibles en un maximum de p ns. En combien de temps travaille un demi-additionneur, un additionneur complet, un additionneur de 4 bits, un additionneur 8 bits ?

Supposons que l'on dispose de plusieurs portes OU ET à deux trois quatre entrées et que chacun travaille en 10ns. En combien de temps se fait le calcul des G_i, P_i, R_i et S_i ? . En combien de temps travaille un additionneur de 4 bits ? En combien de temps travaille un additionneur de 8 bits, si l'on dispose de portes ET et OU avec suffisamment d'entrée ?

Donner dans un tableau comparatif, les avantages et inconvénients de chaque méthode.