EFREI

Année 2007-2008
L1 : Information numérique

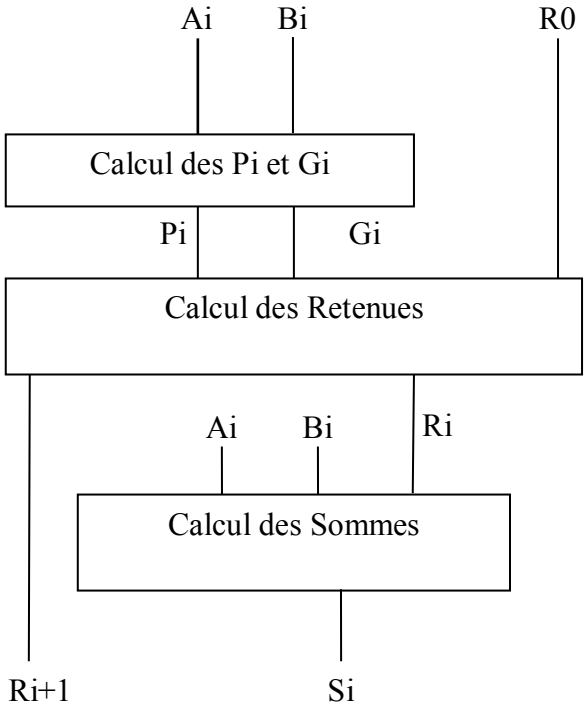
Projet : Information Numérique

Séance 2 : Réalisation d'additionneur et d'additionneur-soustracteur

1 Fin de la séance 1 : réalisation d'additionneurs

1.1 Additionneur à retenue anticipée

La structure complète de l'additionneur est la suivante.



Cette méthode consiste à calculer toutes les retenues en parallèle directement à partir des données sans même calculer les sommes partielles. Les temps de calcul de chaque étage sont tous égaux.

En repartant des équations de la sortie et de la retenue d'un additionneur complet, établir les équations de récurrence des retenues pour des mots de trois bits.

On posera Gi=ai.bi et Pi= ai+bi.

⇒ *Montrer que les expressions des retenues Ri peuvent s'écrire Ri= Gi + Ri-1Pi. Donner l'expression de R0, R1, R2, R3 en fonction de G0, G1, G2, P0,P1,P2, R0.*

⇒ *Donner les expressions de sorties S0, S1, S2 et de R2 en fonction des Gi et Pi.*

⇒ *Vous devez simuler sous Multisim la structure complète de l'additionneur (voir la figure ci dessus). Créer des sous circuit pour chaque bloc (Calcul des Gi et Pi, calcul des retenues, calcul des Sommes). Faire valider par un enseignant.*

1.2 Comparaison des deux méthodes

⇒ *On suppose que le passage d'un signal électrique dans une porte prend 10 nanosecondes. On dit qu'un circuit travaille en p ns si tous les signaux de sortie sont disponibles en un maximum de p ns. En combien de temps travaille un demi-additionneur, un additionneur complet, un additionneur de 4 bits, un additionneur 8 bits ?*

⇒ *On suppose que l'on dispose de plusieurs portes OU ET à deux trois quatre entrées et que chacune travaille en 10ns. En combien de temps se fait le calcul des Gi, Pi, Ri et Si ? . En combien de temps travaille un additionneur de 4 bits ? En combien de temps travaille un additionneur de 8 bits, si l'on dispose de portes ET et OU avec suffisamment d'entrée ?*

⇒ *Donner dans un tableau comparatif, les avantages et inconvénients de chaque méthode.*

1.3 Réalisation d'un additionneur sur 8 bits.

On souhaite réaliser un additionneur de 8 bits en utilisant deux circuits 74LS83N.

⇒ *Comprendre le fonctionnement du circuit 74LS83N, Faire le schéma et simuler sur Multisim un additionneur de deux mots de huit bits. Faire valider par un enseignant.*

2 Réalisation d'additionneur soustracteur

2.1 Réalisation d'un demi soustracteur de deux éléments binaires

Un demi soustracteur effectue la différence Si=B-A de deux éléments A et B avec éventuellement un report R. On rappelle que les nombres négatifs sont exprimés en complément à deux.

⇒ *Etablir la table de vérité et les équations de ce demi soustracteur, représenter le schéma.*

2.2 Réalisation d'un soustracteur complet

Un soustracteur complet effectue la différence des trois variables d'entrée $S= B-(A+R_{n-1})$, la variable de sortie R_n est toujours un éventuel report.

⇒ *Etablir la table de vérité du soustracteur complet. Simplifier les équations par la méthode de Karnaugh. Faire le schéma et simuler votre circuit sur Multisim en utilisant des portes ET,OU, NON, OU Exclusif (dans la famille 74ALS) . Faire valider par un enseignant.*

2.3 Réalisation d'un additionneur-soustracteur complet

⇒ *En utilisant un élément binaire supplémentaire C de sélection de la fonction (additionneur ou soustracteur : si C=0 le circuit fonctionne comme un additionneur, si C=1 le circuit fonctionne comme un soustracteur), faire le schéma et simuler votre circuit sur Multisim en utilisant des portes ET,OU, NON, OU Exclusif (dans la famille 74ALS) .*

2.4 Réalisation d'un additionneur-soustracteur de deux mots binaires de 4 bits.

⇒ Faire le schéma d'un additionneur soustracteur de 4 bits et simuler votre circuit sur Multisim. Vous utiliserez comme sous circuit l'additionneur soustracteur complet de la question précédente. Etablir un tableau représentant les nombres en complément à deux sur 4 bits pour vérifier vos résultats. Faire valider par un enseignant.