

Projet : Information Numérique

A) Introduction.

I) Réalisation d'un calculateur numérique composé de :

- a) Additionneur à propagation de retenue.**
- b) Additionneur à retenue anticipée.**
- c) Multiplieur.**

II) Plan de la réalisation :

- a) En trois séances.**
- b) Validations pendant chaque séance.**
- c) Toute absence sera pénalisée par un 0/20.**
- d) Rapport final à rendre une semaine après la dernière séance.**

**NB : Bien lire le cours avant le début du projet et utiliser les connaissances acquises en TP.
Les questions marquées d'un astérix(*) sont à traiter avant la séance.**

B) Séance 1 : Réalisation d'additionneurs.

Etude des additionneurs

1 Introduction

L'addition binaire, en base 2, se fait comme l'addition décimale ou dans toute autre base : pour chaque chiffre, en commençant par les poids faibles, on fait l'addition entre les deux chiffres des opérandes avec la retenue entrante et on calcule le résultat et la retenue sortante. Ce principe est à la base des unités de calcul dans l'unité arithmétique et logique des microprocesseurs modernes.

On se propose de réaliser des additionneurs complets par deux méthodes

- Par propagation de la retenue
- Par la méthode de la retenue anticipée.

Exemple

	1111		1
	00111101		$(49)_{16}$
+	00110100		$+(58)_{16}$
	-----		-----
	01110001		$(A1)_{16}$

Que remarquez-vous lors du déroulement de l'opération.

Noter la présence de la retenue et son déplacement.

2 Réalisation d'un additionneur à propagation de la retenue.

Dans ce cas de figure, on va réaliser **une cellule élémentaire** que l'on utilisera comme base pour le circuit complet. C'est le **demi-additionneur**.

2.1 Demi-additionneur.

a)* Établir la table de vérité d'un demi-additionneur un bit avec un autre bit, capable de générer deux sorties (la somme S et la retenue R ou carry).

Donner l'équation logique de S et R (vérifier en séance avec le logique converter.)

b)* Donner le schéma logique d'un demi-additionneur (en séance le réaliser avec un sous circuit (sub-circuit) en utilisant les connaissances acquises en TP).

2.2 Additionneur complet

Réalisation de la brique élémentaire pour l'additionneur à nbits.

On établit la somme S_i et la retenue R_i de deux bits, $A_i + B_i$, en tenant compte de la retenue R_{i-1} de l'étage précédent $i-1$

a) Établir la table de vérité de l'additionneur complet. En déduire les équations logiques simplifiées de S_i et R_i (utiliser l'analyseur logique).

b)* Montrer qu'un additionneur complet est formé de deux demi-additionneurs et d'une porte logique à préciser.

c) Établir le schéma logique du circuit. Réaliser un sub-circuit (sous circuit) qui sera la brique élémentaire.

d) Créer le circuit sur Multisim et le simuler (utiliser le générateur de mots et l'analyseur logique).

Validation

2.3 Additionneur à propagation de retenue.

La structure de l'additionneur de deux nombres est répétitive. Une cellule élémentaire peut être utilisée pour chaque poids. L'addition de deux nombres de n éléments binaires nécessite dans ce cas n additionneurs complets.

*a) Réaliser le schéma d'un additionneur de deux mots de **quatre bits** avec quatre additionneurs complets.*

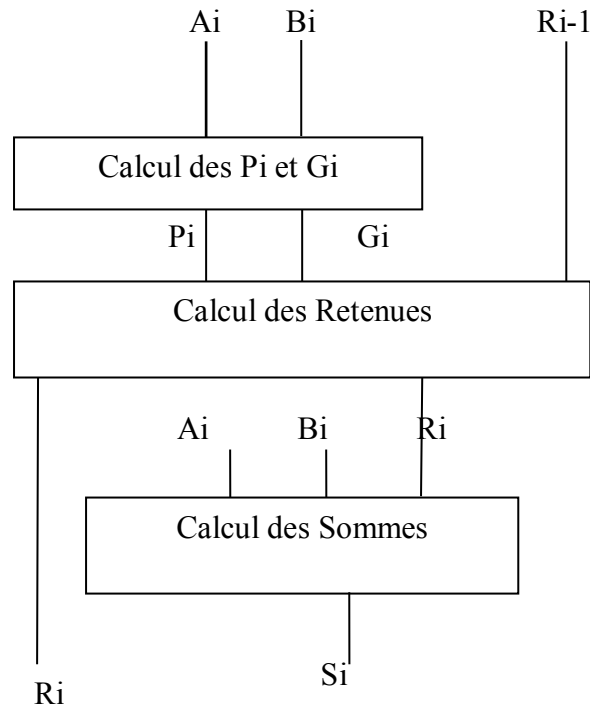
b) Créer le circuit sur Multisim et le simuler. Vous devez utiliser la structure hiérarchique de Multisim. Mettre des connecteurs HB/SC sur vos entrées/sorties de l'additionneur complet. Ouvrir un nouveau schéma et cliquer sur placer un circuit comme bloc hiérarchique. Sélectionner le fichier de votre additionneur complet. Faire le schéma en utilisant des additionneurs complets comme sous circuit.

NB : voir les TP précédents. Validation

Dans cet additionneur la retenue est propagée Si t représente le temps de calcul pour un étage, le temps de calcul total est $n.t$ dans le pire cas. Pour diminuer le temps de calcul au prix d'une augmentation de la complexité (nombre de portes), on propose l'additionneur à retenue anticipée qui est plus performant.

1.4 Additionneur à retenue anticipée.

La structure complète de l'additionneur est la suivante.



Cette méthode consiste à calculer toutes les retenues en parallèle directement à partir des données sans même calculer les sommes partielles. Les temps de calcul de chaque étage sont tous égaux.

a) En repartant des équations de la somme et de la retenue d'un additionneur complet, établir les équations de récurrence des retenues pour des mots de trois bits. On posera $G_i = A_i \cdot B_i$ (G_i est le terme de génération) et $P_i = A_i + B_i$ (P_i est le terme de propagation).

b)* Montrer que les expressions des retenues R_i et S_i peuvent s'écrire sous la forme :

$$R_i = G_i + R_{i-1} \cdot P_i \quad \text{et} \quad S_i = A_i \oplus B_i \oplus R_i$$

c)* Donner l'expression de R_1, R_2 en fonction de G_0, G_1, P_1, P_2, R_1 .

d)* Donner les expressions des sorties S_1, S_2 en fonction des G_1, G_2 et P_1, P_2 .

e) Vous devez simuler sous Multisim la structure complète de l'additionneur pour 4bits (voir la figure ci dessus).

Créer des sous circuits pour chaque bloc (Calcul des G_i et P_i , calcul des retenues R_i , calcul des sommes S_i).

Validation