

Projet : Information Numérique**Séance 2 : Réalisation d'une unité arithmétique et logique.**

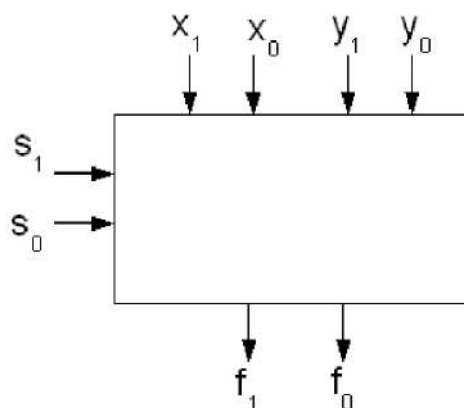
Une unité arithmétique et logique (ALU) est un dispositif qui réalise les opérations arithmétiques et logiques de base d'un processeur.

Les questions marquées d'un * sont à préparer avant la séance, les professeurs vérifieront leurs réponses (questions notées).
Les conditions de déroulement de la séance sont inchangées.

I. REALISATION DE L'EXTENSION ARITHMETIQUE ET LOGIQUE.

Dans cette séance, nous allons grâce à l'additionneur de la première séance et le rajout d'extension appropriées, réaliser une unité arithmétique et logique. D'abord sur 2 bits et puis sur quatre bits et on proposera vers la fin une application pour huit bits....

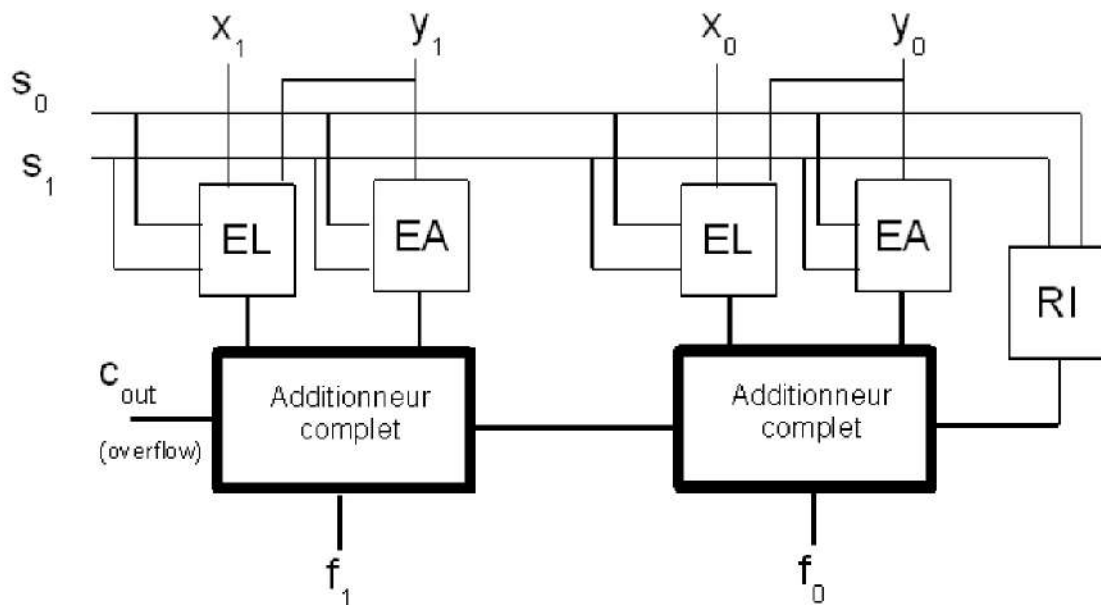
Le système général est le suivant :



2 bits de contrôle, S_1S_0 , permettent de choisir l'opération à effectuer :

S0	S1	Opération
0	0	$X+Y$
0	1	$X+1$
1	0	$X \text{ and } Y$
1	1	$X \text{ or } Y$

Ceci peut être réalisé en ajoutant une extension logique (EL) et une extension arithmétique (EA) à l'additionneur de la séance1 comme sur la figure ci-dessous : (S_0 et S_1 sont les signaux de commande).

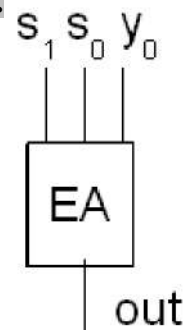


Nous allons établir les équations de chacune des extensions (extensions logiques, extensions arithmétiques et retenue initiale)

II. REALISATION DE L'EXTENSION ARITHMETIQUE 'EA'.

La table de vérité de l'extension arithmétique est la suivante :

S1	S0	out	(opération)
0	0	Y	$X + Y$
0	1	0	$X + 1$
1	0	0	$X \text{ and } Y$
1	1	0	$X \text{ or } Y$



On transmet la valeur Y à la sortie pour l'addition. Dans tous les autres cas, la sortie vaut 0.

Q1. Donner l'équation simplifiée de l'extension arithmétique ainsi que le logigramme.

Vérifier sur mutisym le montage, réaliser un sous-circuit 'EA' et le simuler.
Commentaire ?

III. REALISATION DE L'EXTENSION LOGIQUE 'EL'.

Pour l'extension logique, il faut que la sortie soit égale à x lorsque on a affaire à une opération (voir Q1) et égale à $(x \text{ and } y)$ ou $(x \text{ or } y)$ pour les autres cas.

Préparation*1. Donner la table de vérité de l'extension logique ainsi que le logigramme.

Q2. Vérifier sur multisym le montage, réaliser un sous-circuit 'EL' et le simuler.
VALIDATION

IIIbis. REALISATION DE LA RETENUE INITIALE 'RI'.

La retenue initiale doit être égale à 1 pour l'incrémentation ' $x+1$ ' (cas S_1S_0) et dans tous les cas elle sera égale à 0.

Préparation*2. Proposer une table de vérité pour la retenue initiale, réaliser le logigramme.

Q3. Vérifier sur multisym le montage, réaliser un sous-circuit 'RI' et le simuler.
Commentaire ?

IV. REALISATION DE L'UNITE ARITHMETIQUE ET LOGIQUE A 2 BITS 'UAL'.

Q4. Réaliser le montage général de l'unité arithmétique et logique pour deux bits en utilisant l'additionneur à un bit de la première séance et les sous-circuits réalisés.

Réaliser un sous-circuit (Subual1) avec le montage final.

Préciser bien les entrées et les sorties ?

Simuler le montage final. Commentaire.

VALIDATION.

V. REALISATION DE L'UNITE ARITHMETIQUE ET LOGIQUE A 4 BITS 'UAL'.

Q5. Donner le schéma général à base de sous circuit (Subual1) d'une unité U.A.L à quatre bits.

Réaliser le montage sur multisym et le simuler :

- Vérifier le fonctionnement arithmétique par les afficheurs utilisés en séance1.
- Proposer une solution pour le fonctionnement logique ?

VALIDATION.

-

Q6. Donner le schéma général à base de sous-circuit d'une unité U.A.L à huit bits.