

Projet : Information Numérique

Réalisation d'une unité Arithmétique et Numérique composé de :

L'unité Arithmétique et Logique (UAL), comporte une partie arithmétique (additionneur, multiplieur...) et des fonctions logiques.

Pour la réalisation de celle-ci, on commencera par la réalisation de blocs additionneurs auquel lui seront connecté des blocs pour les fonctions logiques.

Elle permet donc de réaliser en même temps des opérations arithmétiques ainsi que des opérations logiques (point central d'un processeur).

Quelques modalités de déroulement du projet :

- **Le projet se déroule en trois séances, pendant lesquels les élèves doivent répondre aux questions posées, réaliser les circuits demandés et enfin valider certaines parties (validations notées).**
- **Les questions marquées d'un * doivent être préparées à l'avance (elles sont notées).**
- **A la fin de chaque séance les élèves doivent consigner leurs résultats et courbes avec soin. (Pas de remise de rapport pendant les séances).**
- **Un rapport sur tout le projet est remis après la dernière séance (la modalité sera précisée par les professeurs).**

A) PARTIE ARITHMETIQUE.

I. REALISATION D'ADDISIONNEUR COMPLET

1) Rappel sur l'additionneur

1 Introduction

L'addition binaire, en base 2, se fait comme l'addition décimale ou dans toute autre base : pour chaque chiffre, en commençant par les poids faibles, on fait l'addition entre les deux chiffres des opérandes avec la retenue entrante et on calcule le résultat et la retenue sortante. Ce principe est à la base des unités de calcul dans l'unité arithmétique et logique des microprocesseurs modernes.

On se propose de réaliser des additionneurs complets par la méthode de propagation de la retenue

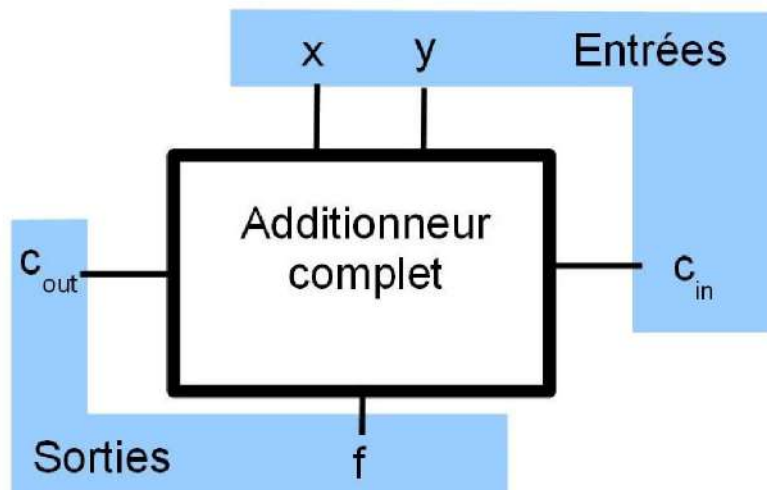
Exemple

	1111		11		1
	10111101		755		(6 9) ₁₆
+	10110100	+	348		+ (A8) ₁₆
	-----		-----		-----
	101110001		1603		(111) ₁₆

Q1. Que remarquez-vous lors du déroulement de l'opération.

Noter la présence de la retenue et son déplacement. Que se passe-t-il en fin de calcul ?

L'additionneur complet à un bit aura donc trois entrées (deux bits à additionner et plus la retenue) et deux sorties (le résultat et la retenue)



2 Réalisation d'un additionneur à propagation de la retenue.

Dans ce cas de figure, on va réaliser **une cellule élémentaire** que l'on utilisera comme base pour le circuit complet. **C'est le demi-additionneur.**

2.1 Demi-additionneur.

Préparation1* a) Établir la table de vérité d'un demi-additionneur un bit avec un autre bit, capable de générer deux sorties (la somme S(ou f) et la retenue R(ou C) C comme Carry).

Donner l'équation logique de S (f) et R (C) (vérifier en séance avec le logique converter.)

b) Donner le schéma logique d'un demi-additionneur

2.2 Additionneur complet.

Q2. Réalisation de la brique élémentaire : réaliser le demi-additionneur sous forme d'un sous-circuit Subad1 à l'aide de multisym.

Préparation2* On établit la somme S_i (ou f_i) et la retenue R_i (ou C_i) de deux bits, $x_i + y_i$, en tenant compte de la retenue C_{i-1} de l'étage précédent $i-1$.

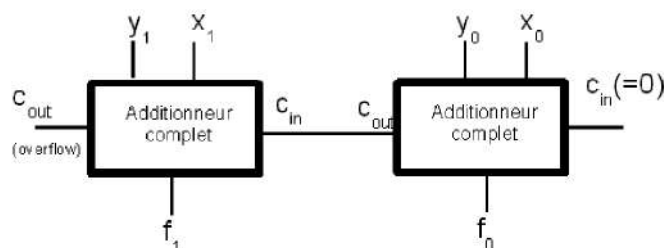
- a) *Établir la table de vérité de l'additionneur complet. En déduire les équations logiques simplifiées de f_i et C_i .*
- b) *Montrer qu'un additionneur complet est formé de deux demi-additionneurs et d'une porte logique à préciser.*
- c) *Donner son schéma logique en fonction du demi-additionneur.*

Q3. Réaliser l'additionneur complet avec un sous circuit Subad2 (utiliser l'analyseur logique). Tester sur multisym et afficher les chronogrammes. A partir de cette question la brique élémentaire sera l'additionneur complet subad2 qui sera tout simplement subad. **Validation.**

II. REALISATION D'ADDISIONNEUR A QUATRE BITS.

1. Rappel. Additionneur à propagation de retenue.

La structure de l'additionneur de deux nombres est répétitive. Une cellule élémentaire peut être utilisée pour chaque poids. L'addition de deux nombres de n éléments binaires nécessite dans ce cas n additionneurs complets.



Exemple d'un additionneur à deux bits. (L'addition se fait de droite à gauche)

Q3. Réalisation d'un additionneur de deux mots de quatre bits.

- a) Combien d'additionneurs complets doit-on utiliser ? Et combien d'additionneurs quatre bits doit-on utiliser pour réaliser un additionneur huit (08) bits ?
- b) Donner le schéma général en utilisant les sous circuits.
- c) **Créer le circuit sur Multisim et le simuler. Vous devez utiliser la structure hiérarchique de Multisim. Mettre des connecteurs HB/SC sur vos entrées/sorties de l'additionneur complet. Ouvrir un nouveau schéma et cliquer sur placer un circuit comme bloc hiérarchique. Sélectionner le fichier de votre additionneur complet. Faire le schéma en utilisant des additionneurs complets comme sous circuit.**
NB : voir les TP précédents. Validation

Dans cet additionneur la retenue est propagée Si t représente le temps de calcul pour un étage, le temps de calcul total est $n.t$ dans le pire cas. Pour diminuer le temps de calcul au prix d'une augmentation de la complexité (nombre de portes), on utilise un autre additionneur : l'additionneur à retenue anticipée qui est plus performant.

Q4. Vérification de l'additionneur à l'aide d'afficheur à 7 segments.

- a) Prendre trois afficheurs à 07segments à 04 entrées dans la famille DCD-HEX : que vous trouverez dans 'Indicators' de multisym.
Les tester d'abord par des 1 (VCC) et des 00(la masse). Exemple afficher 1001 (attention l' affichage est en hexadécimal).
- b) Relier les entrées de deux afficheurs aux nombres à additionner et les entrées du troisième aux sorties des additionneurs (attention à la sortie « over flow » ?)
- c) Tester le circuit. **Validation**