

TD 5 : Cache mémoire / Bus et gestion de bus

Exercice 1 : adressage de mémoire

La capacité des circuits mémoire est en augmentation constante. Le nombre de broches nécessaire à l'adressage des mots mémoire suit cette augmentation, et il est souvent gênant d'avoir un nombre de broches trop important sur un boîtier. Imaginez un moyen d'adresser 2^n mots mémoire en utilisant moins de n broches.

Exercice 2 : cache mémoire

A partir des schémas de cache associatif et de cache à correspondance directe vus en cours, faites le schéma complet d'un cache partiellement associatif par 4 (c'est-à-dire comportant 4 caches à correspondance directe). Chaque cache à correspondance directe ne contient qu'une donnée (pas de ligne de cache) à chaque emplacement, et contient 2^8 emplacements.

Exercice 3 : performance de bus

Le bus PC/AT, fonctionnant à une fréquence de 10 MHz, nécessite 4 cycles pour lire un mot mémoire.

- 1) Est-ce un bus synchrone ou asynchrone ? justifiez votre réponse.
- 2) La taille d'un mot mémoire étant de 16 bits, calculez la bande passante de ce bus en bits/s et en octets/s.

Exercice 4 : débit de bus

- 1) Calculez la bande passante de bus nécessaire à un écran VGA couleur (640x480) pour afficher une vidéo à 50 et 60 images/seconde. Chaque pixel se voit attribuer une couleur parmi une palette fixe de 16 couleurs choisies parmi 262 144 possibles.
- 2) Soit un moniteur connectable par le bus USB sur un ordinateur. Le bus USB a un débit de 1,5 Mo/s. Avec un taux de rafraîchissement de 25 images/seconde et des images en noir et blanc, quelle résolution pourrait-on obtenir sur ce moniteur ?

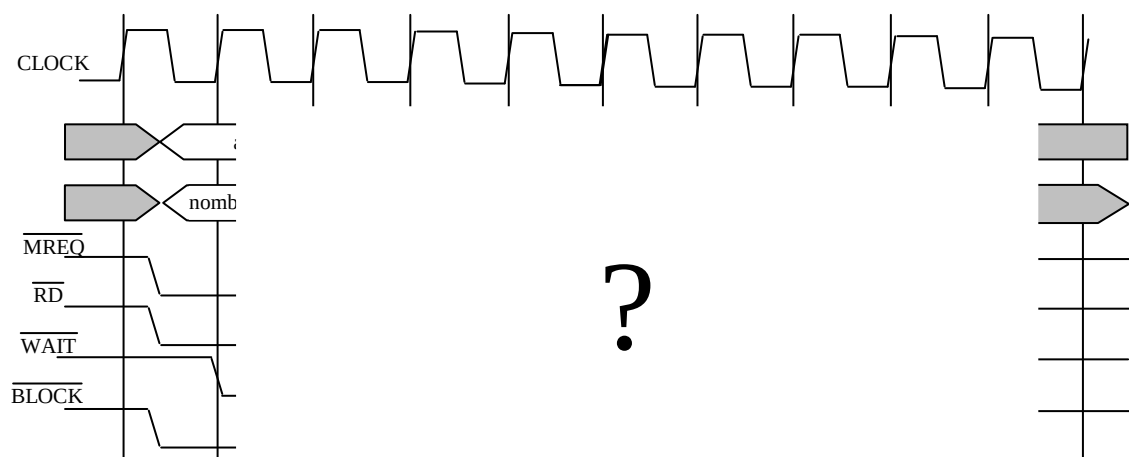
Exercice 5 : chronogramme de bus

Dressez les chronogrammes de bus pour les échanges suivants, en n'omettant aucun signal :

- Lecture mémoire via un bus asynchrone;
- Ecriture mémoire à 60 ns via un bus synchrone à 40 MHz;
- Lecture d'un bloc de 4 données 32 bits en mémoire à 30 ns via un bus synchrone à 100 MHz; un signal BLOCK permet de spécifier une lecture de plusieurs données à la suite : il est positionné par le maître pour signaler à l'esclave que la requête concerne un bloc de données. Le nombre de données à lire est indiqué par le maître via le bus de données.

Lorsque la première donnée est mise sur le bus par la mémoire, le maître désactive ses signaux de commande, chaque donnée est ensuite positionnée sur le bus de données par la mémoire à raison d'une donnée par cycle. On considère que le nombre de données demandé est de 4.

Voici tous les signaux pour le début de ce chronogramme :



- Ecriture en mémoire via un bus asynchrone multiplexé (les adresses et données partagent les mêmes lignes, un signal A/D indique si les adresses (A/D=1) sont présentes ou les données (A/D=0) sont présentes sur le bus.