

(1)

ARCHITECTURE DES ORDINATEURS

TD

Exercice 1

b, c, d)

a) Rappeler le principe de l'arithmétique du complément à 2 sur n bits. Quel est l'intervalle des nombres représentables avec n bits?

Pour cette exercice $n=5$ on travaille en complément à 2.

+ 0

- 1

$$011 = 3$$

$$\begin{array}{r} -3 = \begin{array}{r} 11 \\ 00 \\ + 1 \\ \hline 101 \end{array} \end{array}$$

$$\begin{array}{r} 100 \Rightarrow \begin{array}{r} 100 \\ 11 \\ + 1 \\ \hline 100 \end{array} = -4 \end{array}$$

Interval : + $\boxed{0}1111 = +15$

- $\boxed{1}0000 = -16$

Pour n bits : $+2^{n-1} + 1$
 -2^{n-1}

$$X_1 = 01100 = +12$$

$$X_2 = 01101 = +13$$

$$\begin{array}{r} X_3 = \begin{array}{r} 10111 \\ 01000 \\ + 1 \\ \hline 01001 \end{array} \end{array}$$

$$01001 = -9$$

$$\begin{array}{r} X_n = \begin{array}{r} 10100 \\ 01011 \\ + 1 \\ \hline 01100 \end{array} = -12 \end{array}$$

$$X_2 - X_1 = 01101$$

$$+ X_n \quad (X_1 = -X_n)$$

$$= 01101$$

$$+ 10100$$

$$\hline 00001 = +1$$

$x_1 - x_2$ Il faut faire $-x_2$

$$\begin{array}{r} x_2 = 01101 \\ + 10010 \\ \hline -x_2 = 10011 \end{array}$$

$$\begin{array}{r} x_1 - x_2 = 01100 \\ + 10011 \\ \hline 11111 = -1 \end{array}$$

$$\begin{array}{r} x_1 + x_3 = 01100 \\ + 10100 \\ \hline 00011 = 3 \end{array}$$

$$\begin{array}{r} x_1 + x_2 = 01100 \\ + 01101 \\ \hline 10001 \\ \text{overflow} \end{array}$$

$$\begin{array}{r} x_3 + x_4 = 10111 \\ + 10100 \\ \hline 101000 \text{ overflow} \end{array}$$

c) Soit 2 nombres binaires a , b et s leur somme.
On nomme a_{n-1} , b_{n-1} , s_{n-1} (les bits de signes
de a , b , s)

$$V = \bar{a}_{n-1} \bar{b}_{n-1} s_{n-1} + a_{n-1} b_{n-1} \bar{s}_{n-1}$$

$$V(x_2 - x_1) = V(x_1 + (-x_2)) = \bar{0} \bar{1} 0 + 0 \bar{1} \bar{0} = 0 + 0 = 0$$

$$V(x_1 - x_2) = V(x_1 + (-x_2)) = \bar{0} \bar{1} 0 + 0 \bar{1} \bar{0} = 0 + 0 = 0$$

$$V(x_1 + x_2) = 0 \cdot \bar{0} \cdot 1 + 0 \cdot 0 \cdot \bar{1} = 1 \cdot 1 \cdot 1 + 0 \cdot 0 \cdot 0 = 1$$

$$V(x_1 + x_3) = \bar{0} \bar{1} 0 + 0 \bar{1} \bar{0} = 1 \cdot 0 \cdot 0 + 0 \cdot 1 \cdot 1 = 0$$

$$V(x_3 + x_4) = \bar{1} \bar{1} 0 + 1 \cdot 1 \cdot \bar{0} = 0 \cdot 0 \cdot 0 + 1 \cdot 1 \cdot 1 = 0 + 1 = 1$$

Exercice 2

EXPLICATION

4 mots de 3 bits.
CS RTW OE qui
l'active que l'on
fait. LES WSL
qui quelle mot
on veut que ça soit.

ÉCRITURE

après
de D₀, D₁, D₂ des la
broches après ça

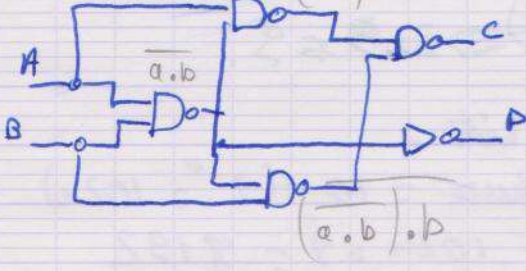
CLK actif donc
WRITE ET le bus
WSL

LECTURE

On remplit les sentes
Q des on met des en
ou selon le mot
qu'on lit

On prend le sentes
qu'on a en
amplificateur
commande par
CS RTW OE
qui est
l'impédance
le sentes

Déterminer l'expression

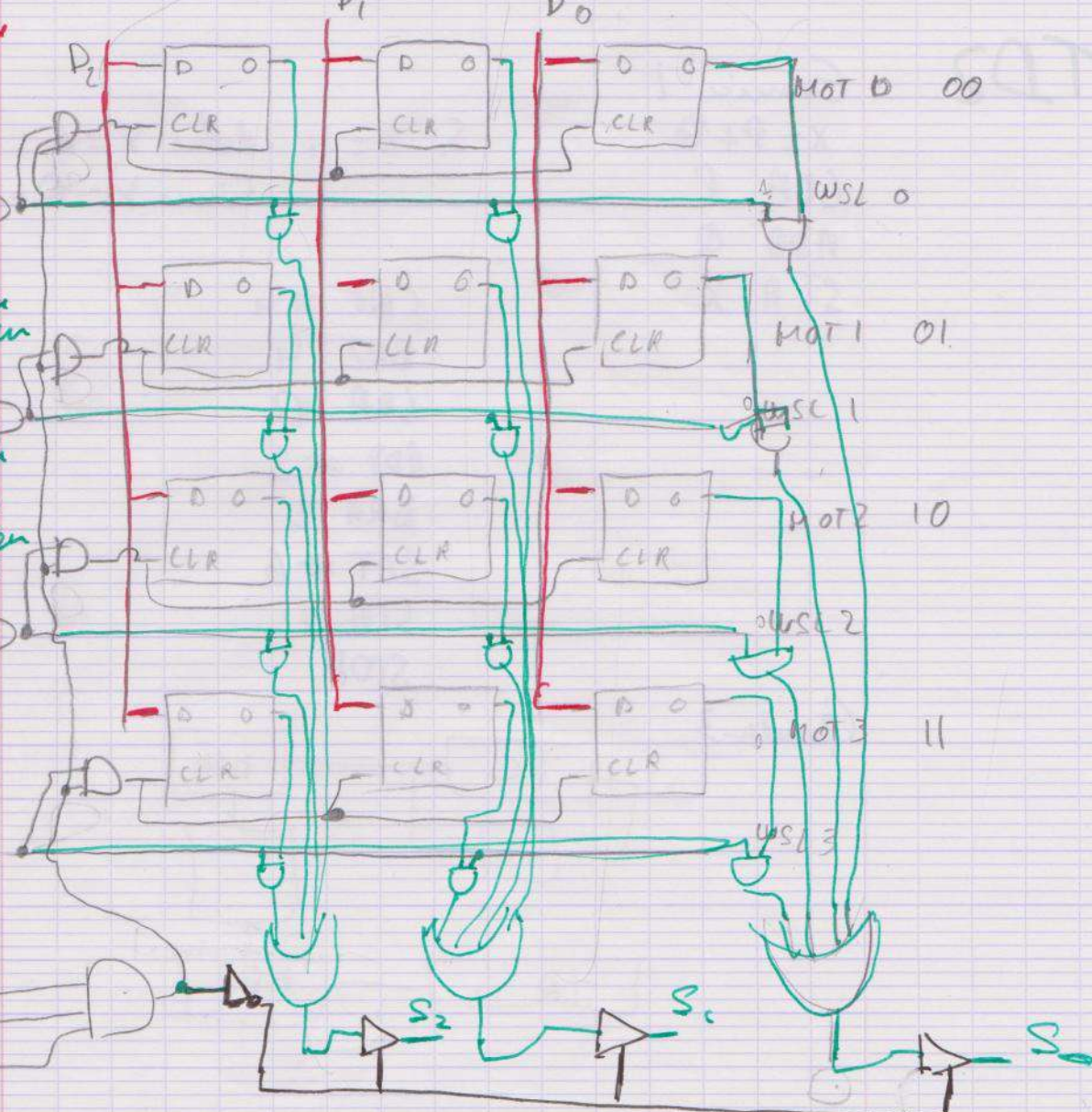


$$C = (\overline{AB})A + (\overline{AB})B$$

$$= \bar{D}A + \bar{A}B = A \oplus B$$

$$D = (\overline{AB}) = \bar{A}B$$

Correspond à en additionner 1 bit avec D



$$\text{Read} = CS \cdot OE \cdot \overline{RTW}$$

$$\text{WRITE} = CS \cdot OE \cdot RTW$$

Nombre de bascules = $4 \times 3 = 12$

nb. ET = $4 \times 3 + 4 + 4 + \boxed{1} \rightarrow 2$

nb OU = $\boxed{3} \Rightarrow 3 \times 3 = 9$.

Pour 1024 mots, 8 bits

nb. ligne d'adresse = 10 ($2^{10} = 1024$)

nb. bascule = $1024 \times 8 = 8192$

nb. ET = $1024 \times 8 + 1024 + 124 + 1 = 10241$

nb. OU = $863 = 24$.

en 8 bits

TD2

Exercice 1

$X = P + Q$

LOA P

ADD Q

STA X

Si $X = 4$ alors $Y = 6$

sinon $Y = Q + 2$

CMP #4

BRZ 4

LOA Q

ADD #2

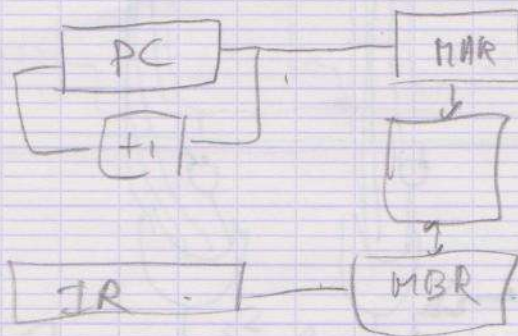
BRN 2

SET #6

STA Y

STOP

Question 3



3

Question 4

PC $\Rightarrow$ MAR $\Rightarrow$ mémoire $\Rightarrow$ MBR $\Rightarrow$ IR

OPÉRANDE IR $\Rightarrow$ MAR $\Rightarrow$ mémoire $\Rightarrow$ MBR

$\Rightarrow$ UAL $\Rightarrow$ DØ

PC = PC + 1

PC $\Rightarrow$ MAR $\Rightarrow$ mémoire $\Rightarrow$ MBR $\Rightarrow$ IR

OPÉRANDE IR $\Rightarrow$ MAR $\Rightarrow$ mémoire $\Rightarrow$ MBR $\Rightarrow$ UAL

$\Rightarrow$ DØ $\Rightarrow$ UAL $\Rightarrow$ DØ $\Rightarrow$ min à 200

PC $\Rightarrow$ MAR $\Rightarrow$ MÉMOIRE $\Rightarrow$ MBR $\Rightarrow$ IR

OPÉRANDE IR $\Rightarrow$ MAR

DØ $\Rightarrow$ MAR $\Rightarrow$ mémoire

TD3 2/ CMP ^{reg} ^{reg}
 const ^{reg}

BRN ^{reg}
 const

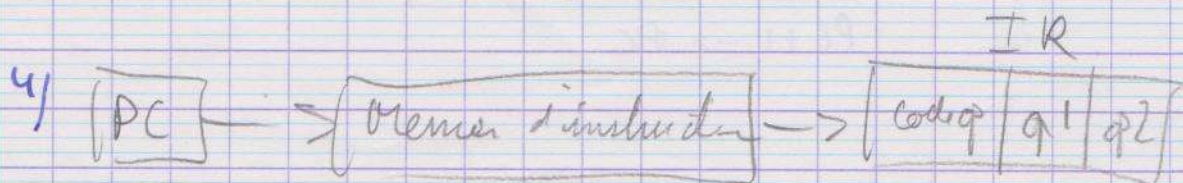
BRZ ^{reg}
 const

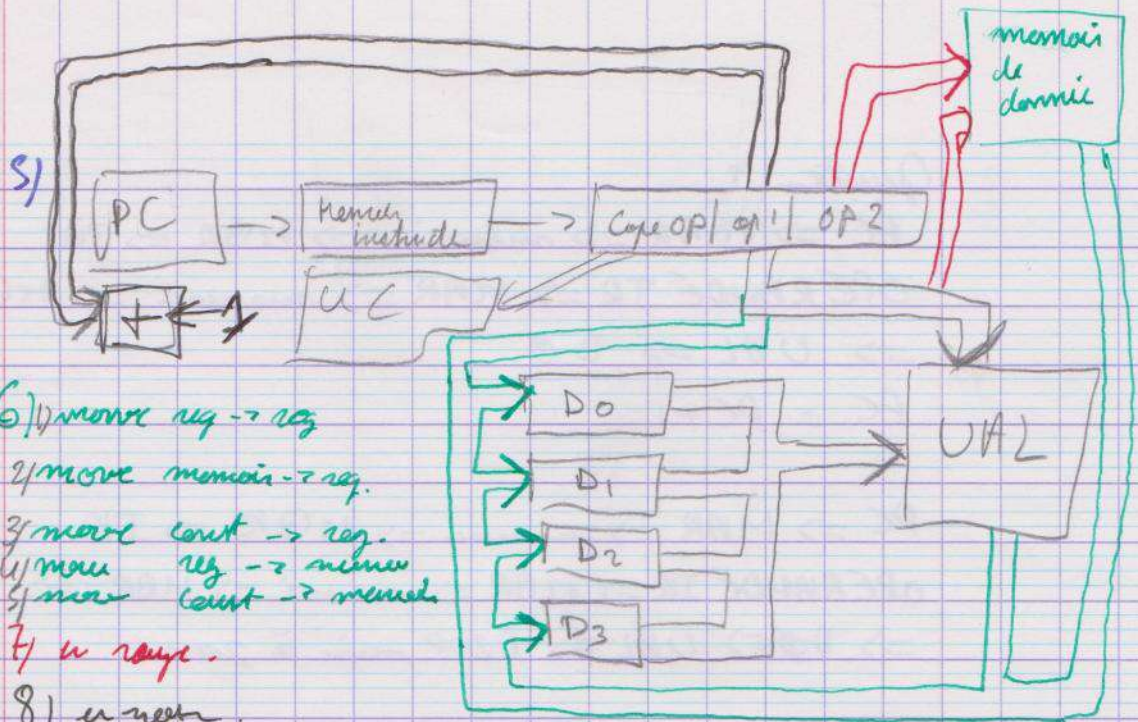
BRL ^{reg}
 const

BRA ^{reg}
 const

3/ On accède à la mémoire d'instruction au niveau de FETCH pour récupérer l'instruction à exécuter pour l'insérer dans le IR.

On accède à la mémoire de données durant la phase d'exécution pour lire ou écrire des données en mémoire.





6) move reg $\rightarrow$ reg

2) move memoir $\rightarrow$ reg.

3) move const $\rightarrow$ reg.

4) move reg $\rightarrow$ memoir

5) move const $\rightarrow$ memoir

7) $\rightarrow$ range.

8) $\rightarrow$ mem.

9) **MOV** 4 or 5 op-code

ADD 2

Sub 2

mul 2

div 2

OR 2

and 2

XOR 2

next 1

COMP 2

BRA 2

BRZ 2

BRW 2

BRL 2

29 or 30

Donc sur 5 bits pour op-code.

10) ADD # 302, D3

PC $\rightarrow$ MBR (instruction)

RAM (instruction) $\rightarrow$ MBR (instruction) $\rightarrow$ IR

IR (opcode) $\rightarrow$ UC (decodage)

IR (OPI) $\rightarrow$ UAL

Selecte $D_3 \rightarrow$ UAL $\rightarrow$ D_3

Min à venir des drapeaux

PC + 1 $\rightarrow$ PC

10) CMP D2, D4

PC $\rightarrow$ MAR (même inst)

RAM (inst) $\rightarrow$ MBR (même inst) $\rightarrow$ IR

IR (opcode) $\rightarrow$ U.C

D2 $\rightarrow$ UAC

D4 $\rightarrow$ UAL

Structure de D4 - D2

Il n'y a pas de déplacement

PC $\leftarrow$ PC + 1

TD4 Exercice 1

Grille de base

a)

1	2	3	4
5	6	7	8
9			

Petit boustifade

1	3	2	1
8	2	6	8
			9

b)

L	U	C	" "
D	U	V	A
L	O	O	O
0	0	0	1F
0	0	01	04

U	C	O	E
A	U	U	" "
r	O	O	L
0	0	0	1F
0	0	01	04

exemple d'un 2 octet.

GB.

00	08	00	0D
----	----	----	----

PB

00	0D	00	08
----	----	----	----

> Sur 4 octet écrit en hexadécimal.

c) Si on transfère octet par octet on alterne

1111	C	U	L
0000	U	U	D
			L
IF	0	0	0
00	00	00	00

Ce lien pour un ogy.

$$0000 \ 0100 \ 0001 \ 0000 \ 0000 \\ = 2^8 + 2^{14} = 16\ 640$$

- d) Si on impose les octets dans chacun des mots c'est BODOL
- c, d) Il faut pour transférer un protocole de réinitialisation de type de variables.

Exercice 2

a) mémoire = 16 ko

$$= 16 \times 1024 \text{ octets}$$

$$= 16 \times 1024 \times 8 \text{ bits}$$

$$= 2^4 \times 2^{10} \times 2^3 \text{ bits}$$

$$= 2^{17} \text{ bits}$$

1 mot mémoire = 32 bits = 2^5 bits.

nb de mot mémoire $\frac{2^{17}}{2^5} = 2^{12}$ mots.

$$N \leq 8192$$

$$= 4096 \text{ mots}$$

b) P itérations

1^{re} itération : $N(L+m)$

(P-1) itérations : $(P-1)NL$

$$T = N(L+m) + (P-1)NL$$

$$= N(m+Pc) = 60000 \text{ ms}$$

$$N > 8192$$

$$T = P \times N(m+c) = 10^8 \times 48$$

4 Taille tab T

$$256 = 256 \times 2^{10} \quad 32 \text{ kib}$$

$$= \frac{256 \times 2^{10}}{16} \quad 16 \text{ kib}$$

$$= 131072$$

$$h: T < 8192$$

après la 1^{re} Base de

$$h: T > 131072$$

$$t_m = NP(m + C' + P_c)$$

Calcul moyen : temps d'accès

RAM : 1 Mo

Les taux de succès aux caches sont donnés par leur taille par rapport à la taille RAM (1 Mo)

(63/64 échec) Pour le cache de 16 ko représentant $\frac{1}{64}$ de la taille de la RAM

(3/4) — 256 ko — $\frac{1}{4}$

Avec le cache principal.

Temps d'accès moyen à une donnée et

↳ $C + 63/64 m$ (accès systématique au cache + 63 dans un 64)

$$\text{Pour } \left. \begin{array}{l} C = 8 \text{ ms} \\ m = 40 \text{ ms} \end{array} \right\} \Rightarrow t_m = 47,375 \text{ ms} > 40 \text{ ms}$$

$$\text{Avec 2 caches } t_m = 0 + \frac{63}{64} (C' + \frac{3}{4} m) \\ = 51,325 \text{ ms}$$

Il faut que $C + C' = 5 \text{ ms}$, si on veut que ce soit intéressant.

c)

Processus

16 ko

RAM

1 Mo

$$\frac{16 \text{ ko}}{1 \text{ Mo}} = \frac{16 \text{ ko}}{1024 \text{ ko}} = \frac{1}{64}$$

$$T_{\text{avg}} = \frac{1}{64} \cdot c + \frac{63}{64} m$$

$$T_{\text{avg}} = \frac{1}{64} \times 8 + \frac{63}{64} \times 40 = 47,375 \text{ n.s}$$

Résultat l'écart est augmenté le temps d'accès aux.

Mais la probabilité de récupérer une info qui vient d'être utilisée est plus grande.

Processus

Caché
P

16 ko

Caché
S

256 ko

RAM

1 Mo

$$P(\text{Info suit dans le CP}) = \frac{16 \text{ ko}}{1024 \text{ ko}} = \frac{1}{64}$$

$$P(\text{Info suit dans le CS}) = \frac{256}{1024} = \frac{1}{4}$$

$$P(\text{Info ni dans CP ni dans CS}) = 1 - \frac{1}{4} = \frac{3}{4}$$

$$T_{\text{avg}} = \frac{1}{64} \times c + \frac{63}{64} \left[\frac{1}{4} \times c' + \frac{3}{4} \times m \right]$$

$$= \frac{1}{64} \times 8 + \frac{63}{64} \left(\frac{1}{4} \times 14 + \frac{3}{4} \times 40 \right)$$

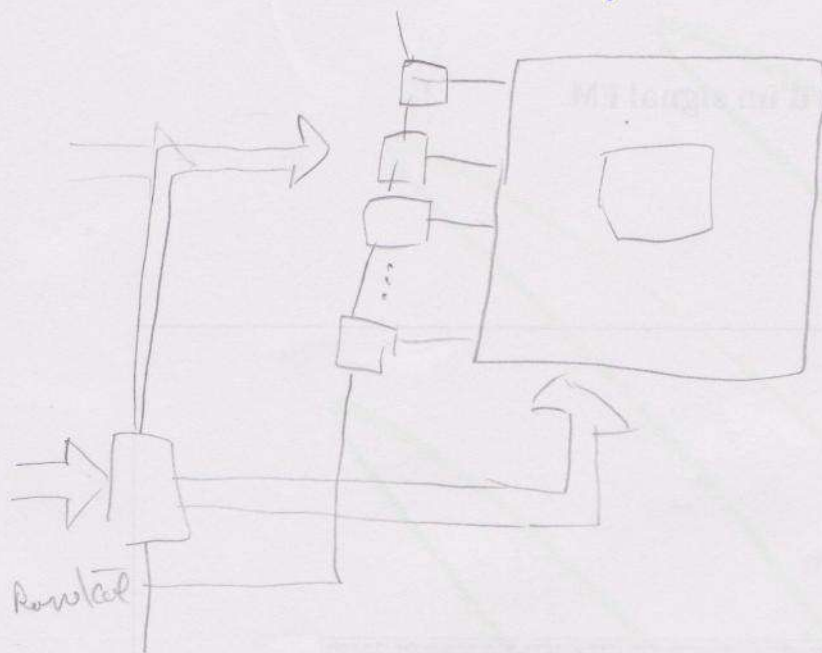
$$= \frac{1}{8} + \frac{63}{64} \left(\frac{14}{4} + 30 \right) = \frac{1}{8} + \frac{63}{64} \times \frac{134}{4} = 33,1$$

TDS

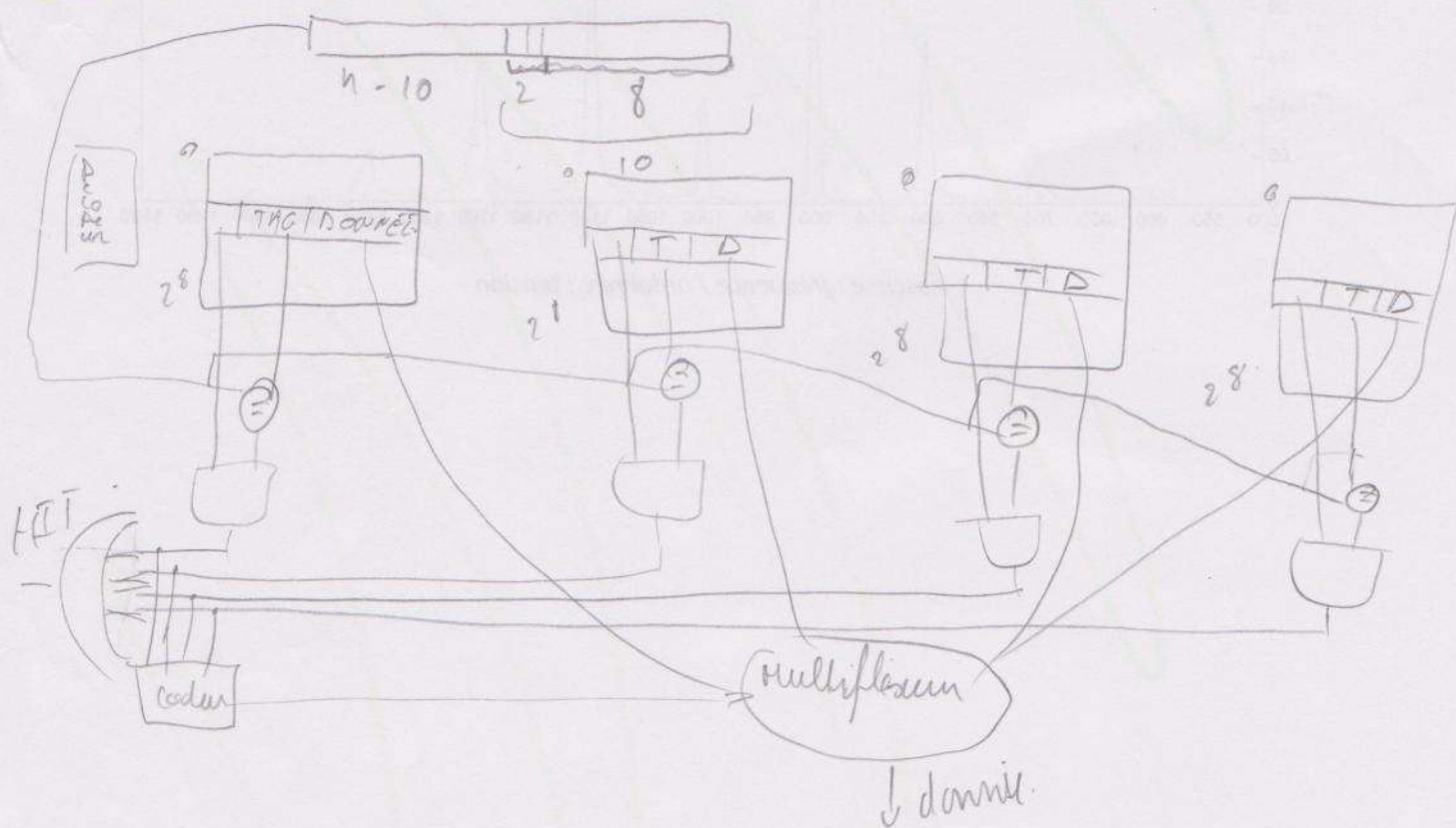
Exercice 1

n branches
 Base de données
 p lignes
 q colonnes

5



Exercice 2



Exercice 3

C'est en leur synchronie.

$$f = 1 = \text{MHz} = 10 \times 10^6 \text{ Hz} = 10^7 \text{ cycles/s.}$$

$$= \frac{10^7}{4} \text{ mot/s}$$

$$= 2,5 \times 10^6 \text{ mot/s.}$$

$$= 2 \times 2,5 \times 10^6 \text{ octets/s}$$

$$= 5 \times 10^6 \text{ octets/s.}$$

$$= 5 \times 8 \times 10^6 \text{ bits/s}$$

$$= 40 \times 10^6 \text{ bits/s.}$$

$$= \left(\frac{40 \times 10^6}{1024} \right) \text{ Mb/s.}$$

Exercice 4

$$\textcircled{I} \text{ Image} = 640 \times 480 = 307200 \text{ pixels}$$

Pour un Pixel $\rightarrow$ 16 canaux $\rightarrow$ 4 bits.

$$\begin{aligned} 1 \text{ image} &= 307200 \text{ pixels} \times 4 \text{ bits} = 1228800 \text{ bits.} \\ &= 153600 \text{ octets.} \end{aligned}$$

$$\textcircled{1a)} 50 \text{ images/s}$$

$$50 \times 153600 \text{ octets/s} = 7680000 \text{ o/s}$$

$$\textcircled{2a)} 60 \text{ image/s}$$

$$60 \times 153600 \text{ octets/s} = 9216000 \text{ o/s.}$$

$$\textcircled{II} \text{ Débit} = 1,5 \text{ Mo/s}$$

$$= 1,5 \times 1024 \times 1024 \text{ o/s}$$

$$= 1572864 \text{ o/s}$$

$$\text{Taille de l'image} = \frac{1572864}{25 \text{ images/s}} = 62914 \text{ o/images.}$$

$$= 62914 \times 8 \text{ bits/images.}$$

$$= 503316 \text{ bits/images.}$$

$$1 \text{ pixel} \rightarrow 1 \text{ bit} \Rightarrow 503316 \text{ pixels/images.}$$