

Les principales fonctionnalités de la minuterie du microcontrôleur sont résumées ici sous une forme très synthétique dans le but de réunir les informations nécessaires à la conduite des prochaines manipulations. Il convient de préciser que l'emploi de cet outil n'est pas très difficile, cependant, sa maîtrise demande beaucoup d'exercices et dépasse sans doute le cadre de notre étude. Pour plus de détails, nous invitons donc les élèves à consulter la Section-9 de la documentation du 68HC11E9.

LE CŒUR DE LA MINUTERIE

Au centre du Timer se trouve un compteur 16b, le TCNT, à lecture seule, sur lequel aucune action d'écriture, d'interruption ou de mise à zéro n'est possible.

TCNT Compteur 16b	<table><tr><td>B₁₅</td><td>B₁₄</td><td>B₁₃</td><td>B₁₂</td><td>B₁₁</td><td>B₁₀</td><td>B₉</td><td>B₈</td><td>B₇</td><td>B₆</td><td>B₅</td><td>B₄</td><td>B₃</td><td>B₂</td><td>B₁</td><td>B₀</td></tr><tr><td colspan="8">MSB à l'adresse 100E</td><td colspan="8">LSB à l'adresse 100F</td></tr><tr><td colspan="16"></td></tr></table>															B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀	MSB à l'adresse 100E								LSB à l'adresse 100F																								Adresse : \$100E-100F
	B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀																																																
	MSB à l'adresse 100E								LSB à l'adresse 100F																																																							

REGISTRES DE COMPARAISON

Le contenu du TCNT peut être comparé à celui de 4 registres 16b, (Timer Output Compare Register), TOC1, TOC2, TOC3 et TOC4.

TOC1 Registre 16b	<table><tr><td>B₁₅</td><td>B₁₄</td><td>B₁₃</td><td>B₁₂</td><td>B₁₁</td><td>B₁₀</td><td>B₉</td><td>B₈</td><td>B₇</td><td>B₆</td><td>B₅</td><td>B₄</td><td>B₃</td><td>B₂</td><td>B₁</td><td>B₀</td></tr><tr><td colspan="8">MSB à l'adresse 1016</td><td colspan="8">LSB à l'adresse 1017</td></tr></table>	B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀	MSB à l'adresse 1016								LSB à l'adresse 1017								Adresse : \$1016-1017
B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀																			
MSB à l'adresse 1016								LSB à l'adresse 1017																										
TOC2 Registre 16b	<table><tr><td>B₁₅</td><td>B₁₄</td><td>B₁₃</td><td>B₁₂</td><td>B₁₁</td><td>B₁₀</td><td>B₉</td><td>B₈</td><td>B₇</td><td>B₆</td><td>B₅</td><td>B₄</td><td>B₃</td><td>B₂</td><td>B₁</td><td>B₀</td></tr><tr><td colspan="8">MSB à l'adresse 1018</td><td colspan="8">LSB à l'adresse 1019</td></tr></table>	B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀	MSB à l'adresse 1018								LSB à l'adresse 1019								Adresse : \$1018-1019
B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀																			
MSB à l'adresse 1018								LSB à l'adresse 1019																										
TOC3 Registre 16b	<table><tr><td>B₁₅</td><td>B₁₄</td><td>B₁₃</td><td>B₁₂</td><td>B₁₁</td><td>B₁₀</td><td>B₉</td><td>B₈</td><td>B₇</td><td>B₆</td><td>B₅</td><td>B₄</td><td>B₃</td><td>B₂</td><td>B₁</td><td>B₀</td></tr><tr><td colspan="8">MSB à l'adresse 101A</td><td colspan="8">LSB à l'adresse 101B</td></tr></table>	B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀	MSB à l'adresse 101A								LSB à l'adresse 101B								Adresse : \$101A-101B
B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀																			
MSB à l'adresse 101A								LSB à l'adresse 101B																										
TOC4 Registre 16b	<table><tr><td>B₁₅</td><td>B₁₄</td><td>B₁₃</td><td>B₁₂</td><td>B₁₁</td><td>B₁₀</td><td>B₉</td><td>B₈</td><td>B₇</td><td>B₆</td><td>B₅</td><td>B₄</td><td>B₃</td><td>B₂</td><td>B₁</td><td>B₀</td></tr><tr><td colspan="8">MSB à l'adresse 101C</td><td colspan="8">LSB à l'adresse 101D</td></tr></table>	B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀	MSB à l'adresse 101C								LSB à l'adresse 101D								Adresse : \$101C-101D
B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀																			
MSB à l'adresse 101C								LSB à l'adresse 101D																										

MEMORISATION EVENEMENTIELLE

Le contenu du TCNT peut être mémorisé dans 3 registres dits de capture d'entrée (Timer Input Capture Register) TIC1, TIC2, et TIC3 à l'arrivée d'un front actif (montant ou descendant) sur les entrées respectives PA0, PA1 et PA2 du port A. Le RESET n'altère pas le contenu de ces registres.

TIC1 Registre 16b	<table><tr><td>B₁₅</td><td>B₁₄</td><td>B₁₃</td><td>B₁₂</td><td>B₁₁</td><td>B₁₀</td><td>B₉</td><td>B₈</td><td>B₇</td><td>B₆</td><td>B₅</td><td>B₄</td><td>B₃</td><td>B₂</td><td>B₁</td><td>B₀</td></tr><tr><td colspan="8">MSB à l'adresse 1010</td><td colspan="8">LSB à l'adresse 1011</td></tr></table>	B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀	MSB à l'adresse 1010								LSB à l'adresse 1011								Adresse : \$1010-1011
B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀																			
MSB à l'adresse 1010								LSB à l'adresse 1011																										
TIC2 Registre 16b	<table><tr><td>B₁₅</td><td>B₁₄</td><td>B₁₃</td><td>B₁₂</td><td>B₁₁</td><td>B₁₀</td><td>B₉</td><td>B₈</td><td>B₇</td><td>B₆</td><td>B₅</td><td>B₄</td><td>B₃</td><td>B₂</td><td>B₁</td><td>B₀</td></tr><tr><td colspan="8">MSB à l'adresse 1012</td><td colspan="8">LSB à l'adresse 1013</td></tr></table>	B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀	MSB à l'adresse 1012								LSB à l'adresse 1013								Adresse : \$1012-1013
B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀																			
MSB à l'adresse 1012								LSB à l'adresse 1013																										
TIC3 Registre 16b	<table><tr><td>B₁₅</td><td>B₁₄</td><td>B₁₃</td><td>B₁₂</td><td>B₁₁</td><td>B₁₀</td><td>B₉</td><td>B₈</td><td>B₇</td><td>B₆</td><td>B₅</td><td>B₄</td><td>B₃</td><td>B₂</td><td>B₁</td><td>B₀</td></tr><tr><td colspan="8">MSB à l'adresse 1014</td><td colspan="8">LSB à l'adresse 1015</td></tr></table>	B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀	MSB à l'adresse 1014								LSB à l'adresse 1015								Adresse : \$1014-1015
B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀																			
MSB à l'adresse 1014								LSB à l'adresse 1015																										

LES FRONTS ACTIFS SUR PA0, 1, 2 ET PA3

Les fronts (Edge) actifs arrivant sur PA0,1,2 et PA3 sont indépendamment configurables au moyen du registre de contrôle TCTL2 comme cela est indiqué ci-contre.

TCTL2 \$1021	ED4b	ED4a	ED1b	ED1a	ED2b	ED2a	ED3b	ED3a
	Config PA2		Config PA1		Config PA0			

EDxb	EDxa	Configuration
0	0	Désactivation de tous les fronts
0	1	Activation des fronts montants
1	0	Activation des fronts descendants
1	1	Activation de tous les fronts

MASQUAGE ET SIGNALISATION - I

Les résultats de comparaisons entre le TCNT et les TOCx ainsi que l'arrivée de fronts actifs sur les entrées PA0, PA1 et PA2, marqués par un 1 ou un 0, sont consignés dans un registre de signalisation, le TFLG1 (Timer Flag Register 1). Le registre TMSK1 (Timer Mask Register) permet à son tour d'inhiber ou non, une requête d'interruption du programme qui occupe le processeur.

Autrement dit :

- ICxi=1 : Interruption autorisée suite à l'enregistrement d'un front actif par ICxF.
- ICxi=0 : Interruption défendue même après l'enregistrement d'un front actif par ICxF.

TMSK1 \$1022	OC1i	OC2i	OC3i	OC4i	OSI I4i	IC1i	IC2i	IC3i	OC1F	OC2F	OC3F	OC4F	OSF I4F	IC1F	IC2F	IC3F	TFLG1 \$1023
	Autorisations des interrup. par OCxF					Aut. interrup. pa ICxF			Si TOCx = TCNT Alors OcxF=1					Enregistrement des fronts actifs			

Un examen rapide du schéma fonctionnel du timer (page 3) nous conduit aussi à noter que :

- IC3F signale l'arrivée d'un front actif sur PA0 en mémorisant l'état du TCNT sur TIC3.
- IC2F signale l'arrivée d'un front actif sur PA1 en mémorisant l'état du TCNT sur TIC2.
- IC1F signale l'arrivée d'un front actif sur PA2 en mémorisant l'état du TCNT sur TIC1.

Le bit OSF/I4F de TFLG configure les adresses 101E-101F en TIC4 ou en TOC5. Dans le cas d'une programmation en registre de capture, le bit OSF/I4F indiquera la présence d'un front actif sur PA3 en mémorisant l'état du TCNT sur TIC4/TOC5.

TIC4/TOC5 Registre 16b	B ₁₅	B ₁₄	B ₁₃	B ₁₂	B ₁₁	B ₁₀	B ₉	B ₈	B ₇	B ₆	B ₅	B ₄	B ₃	B ₂	B ₁	B ₀	Adresse : \$101E-101F
	MSB à l'adresse 101E								LSB à l'adresse 101F								

MASQUAGE ET SIGNALISATION - II

A partir d'un RESET, le compteur TCNT s'incrémente de \$0000 à \$FFFF et repasse par \$0000 en mettant un bit de dépassement à 1. Ce bit de dépassement que nous désignons par TOF (Timer Overflow Flag) est consigné dans le registre TFLG2 à l'adresse \$1025 de la mémoire.

TMSK2 \$1024	TOI						PR1	PR0	TOF								TFLG2 \$1025
	Autorisation des interruptions par TOF						Division horloge		Débordement du TCNT								

La vitesse d'incrémement du compteur TCNT est quantifiée sur 4 niveaux et peut être programmée au moyen des bits PR0 et PR1 du registre TMSK2 comme cela est résumé sur le tableau ci-contre. Le bit de poids fort de ce registre, le TOI (Timer Overflow Interrupt Enable Bit) autorise l'interruption du programme qui occupe le CPU par le TOF.

PR1	PR0	Division de E-clock	Cycle TCNT	Cycle Overflow
0	0	1 (2MHz)	500 ns	32,77 ms
0	1	4 (500 kHz)	2 µs	131,07 ms
1	0	8 (250 kHz)	4 µs	262,14 ms
1	1	16 (125 kHz)	8 µs	524,29 ms

Attention : L'écriture sur TMSK2 n'est possible que durant 64 cycles du CPU après un RESET.

VECTEURS D'INTERRUPTION

Les vecteurs d'interruptions en rapport avec la minuterie sont encadrés ci-contre sur les données fournies par le constructeur.

Chaque vecteur possède 3 coordonnées qui sont des adresses consécutives de un octet (V1, V2, V3) dans la mémoire. Toute requête d'interruption pointe le programme à l'adresse V1.

Par conséquent, suite à une requête extérieure, l'appel d'un sous-programme peut être simplement réalisé en chargeant le code d'un saut (JMP) à l'adresse V1 et l'adresse du sous-programme en V2 (MSB) et en V3 (LSB).

Interrupt Vector Jump Table	
INTERRUPT VECTOR	FIELD
Serial communications Interface (SCI)	\$00C4-\$00C6
Serial Peripheral Interface (SPI)	\$00C7-\$00C9
Pulse Accumulator Input Edge	\$00CA-\$00CC
Timer Overflow	\$00D0-\$00D2
Timer Output Compare 5	\$00D3-\$00D5
Timer Output Compare 4	\$00D6-\$00D8
Timer Output Compare 3	\$00D9-\$00DB
Timer Output Compare 2	\$00DC-\$00DE
Timer Output Compare 1	\$00DF-\$00E1
Timer Input Capture 3	\$00E2-\$00E4
Timer Input Capture 2	\$00E5-\$00E7
Timer Input Capture 1	\$00E8-\$00EA
Real Time Interrupt	\$00EB-\$00ED
IRQ	\$00EE-\$00F0
XIRQ	\$00F1-\$00F3
Software Interrupt (SWI)	\$00F4-\$00F6
Illegal Opcode	\$00F7-\$00F9
Computer Operating Properly (COP)	\$00FA-\$00FC
Clock Monitor	\$00FD-\$00FF

To use vectors specified in the table, the user must insert a jump extended opcode in the byte field of the vector required. For example, for the IRQ vector, the following is performed:

- Place \$7E (JMP) at location \$00EE.
- Place IRQ service routine address at locations \$00EF and \$00F0

```
$00EE  7E 80 00  JMP IRQ SERVICE
```

**Table des vecteurs d'interruption du 68HC11E9:
Extrait de la documentation de Buffalo**

**Schéma simplifié de la
minuterie.
Extrait de la
documentation
technique du 68HC11E9**

