

Implémentation logicielle d'un fréquencemètre sur un HC11

Introduction

Ce projet semble merveilleux.

Il s'agit de programmer en assembleur, langage découvert lors du cours d'Architecture des Ordinateurs. Nous allons ainsi réaliser différents programmes afin

Objectifs

Valider système numérique.

Cela va nous permettre de comparer deux modèles de programmation : La méthode de polling ou de scrutation avec un autre modèle de programmation utilisant le principe des exceptions

Séance 1

Question 0 :

0005 2000 fe 10 0e	[5]	ldx	TCNT
0006 2003 01	[2]	nop	
0007 2004 18 fe 10 0e	[6]	ldy	TCNT

Lors de la phase « build » on voit le nombre de cycle nécessaire à chaque instruction. Il y a 8 cycles (2+6) qui séparent la fin des deux chargements de registres X et Y.

```
>call 2000
```

```
P-2000 Y-6A31 X-6A29 A-FF B-FF C-D0 S-0041
>
```

Si on fait la différence de Y et de X, on obtient 6A31-6A29 soit **8** le tout en base 16. Ce résultat est le même que le nombre de cycles séparant les chargements des registres X et Y.

L'incréméntation du TCNT est directement lié au cycle d'horloge du CPU c'est-à-dire qu'à chaque cycle du CPU, le TCNT est incrémenté. Le rapport entre les deux est donc de 1.

Question 1

0006 2050 fc 10 0e	[5]	ldd	TCNT
0007 2053 fd 20 00	[5]	std	initial
0008 2056 fc 10 0e	[5]	ldd	TCNT
0009 2059 b3 20 00	[6]	subd	initial
0010 205c fd 20 02	[5]	std	delta
0011 205f 39	[5]	rts	

On a ici 10 cycles qui séparent les deux opérations de chargement.

Contenu des registres :

P-2050 Y-BFFF X-BFFF A-00 B-0A C-D0 S-0041

Le registre D étant la concaténation des registres A et B, le registre D contient 000A soit 10 en décimal, on retrouve le nombre de cycle qui séparent les opérations de chargements.

Contenu de la mémoire à l'adresse 2002 :

>MD 2000

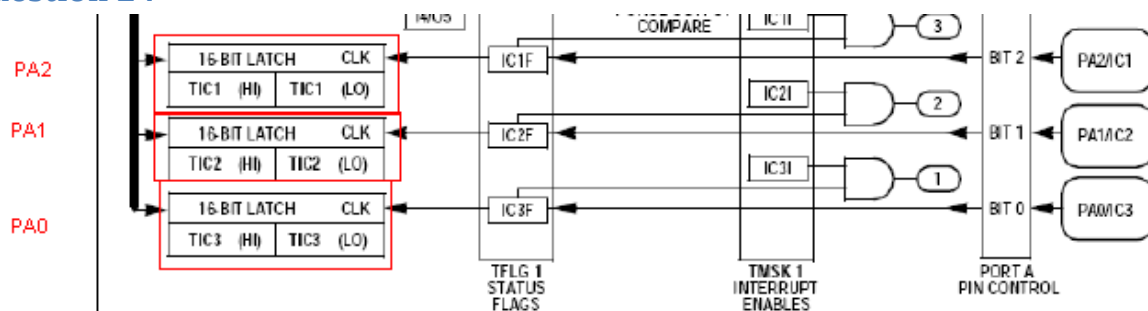
```

2000 38 86 00 0A BB FE FF 7E BF F8 57 FB 3E 37 9B A7 8      W >7
2010 1D 35 F9 ED 79 FF FF AD E7 E6 F1 FB 7F FB ED AB 5 y
2020 9A 9E 57 ED D4 9F 53 61 B9 FE FF E7 FF C1 67 FF      W Sa g
2030 7F FB FF 6F F7 9F 6D F9 55 3F F5 9D 7A F5 F3 54      o m U? z T
2040 6F F9 96 ED DB EF EF 3F 29 AF 67 FB DE F9 EF FF o    ?) g
2050 FC 10 0E FD 20 00 FC 10 0E B3 20 00 FD 20 02 39      9
2060 D0 A9 FD D7 DB 7F 9A 76 2C D7 96 EF 32 98 CB 9C      v, 2
2070 F3 FD EC 27 54 DD 7F F4 CA BF 47 DF FB 47 DB FF      'T G G
2080 FF 16 BF 3E FD CE FD C1 C6 FA 97 65 AF DA FE DF      > e
    
```

On retrouve aux adresses 2002 et 2003 le contenu de l'accumulateur D.

On cherche à obtenir le nombre de cycles séparant la **fin** des deux chargements. L'erreur ici est que l'on obtiendra le nombre de cycle séparant le **début** des deux chargements et sera compris à ce nombre le nombre de cycle nécessaire pour le stockage.

Question 2 :



Question 3 :

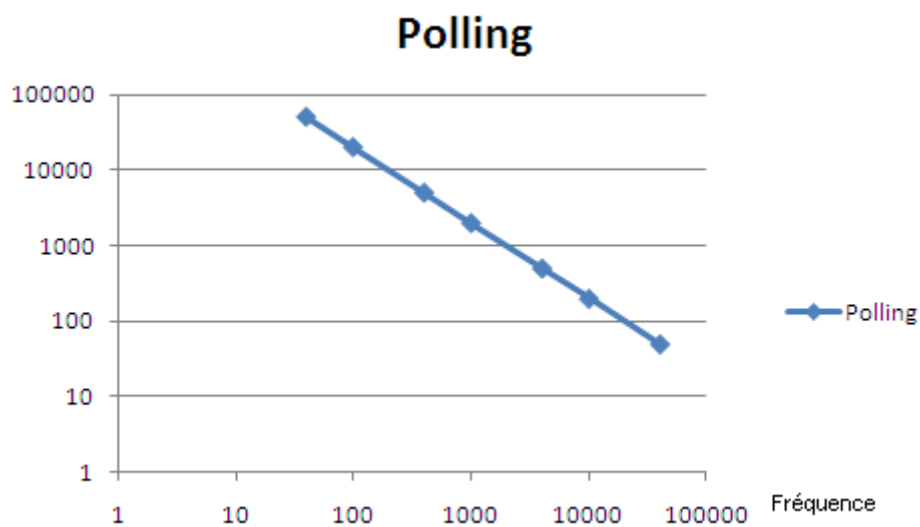
```

0009 2100 f6 20 54      [ 4 ]      ldab    ED1ba
0010 2103 f7 10 21      [ 4 ]      stab    TCTL2
0011 2106 b6 10 23      [ 4 ]      ldaa    TFLG1
0012 2109 84 04         [ 2 ]      anda    #$04
0013 210b b7 10 23      [ 4 ]      staa    TFLG1
0014 210e b6 10 23      [ 4 ]      lire1  ldaa    TFLG1
0015 2111 84 04         [ 2 ]      anda    #$04
0016 2113 27 f9         [ 3 ]      beq     lire1
0017 2115 fc 10 10      [ 5 ]      suite1l  ldd    TIC1
0018 2118 fd 20 50      [ 5 ]      std     front
0019 211b b6 10 23      [ 4 ]      ldaa    TFLG1
0020 211e 84 04         [ 2 ]      anda    #$04
0021 2120 b7 10 23      [ 4 ]      staa    TFLG1
0022 2123 b6 10 23      [ 4 ]      lire2  ldaa    TFLG1
0023 2126 84 04         [ 2 ]      anda    #$04
0024 2128 27 f9         [ 3 ]      beq     lire2
0025 212a fc 10 10      [ 5 ]      suite2l  ldd    TIC1
0026 212d b3 20 50      [ 6 ]      subd    front
0027 2130 fd 20 52      [ 5 ]      std     period
0028 2133 39            [ 5 ]      rts
    
```

Question 4 :

f(Hz)	Polling	
40	49988	C344
100	19994	4E1A
400	4999	1387
1000	1988	07CE
4000	500	01F4
10000	200	00C8
40000	50	0032

Graphique avec l'échelle log-log.



On a une limite de fréquence minimale et une limite de fréquence maximale que l'on peut facilement calculer.

Question 5 :

La limite en haute fréquence correspond à la valeur pour le nombre de cycle minimum qui est de 8 lié au nombre d'instruction à faire pour obtenir le nombre de cycle. On peut supposer qu'elle serait de l'ordre de 100.000 Hz

Voir limite compteur 16b

Question 6 :

La boucle infinie est représenté par l'instruction boucle bra boucle.

Le vecteur d'interruption est sei ,

Question 7 :

>md 2000

```

2000 F2 55 18 F7 F9 E6 EF F9 B2 E4 7B AB B2 EF E3 63 U          c
2010 E6 77 BE AA F1 E1 FE 64 CF 77 B2 DE AE D4 76 6F w          d w          vo
2020 BB BB 79 C7 BF FB FB E4 FF 37 CF DF F8 F3 F5 7A y          7          z
2030 BC 5F 74 6D F3 96 5B F7 E7 DA D1 99 FF 74 CF 77 _tm [          t w
2040 6C CD 45 19 BE FF 6E 15 FO DD BF 3C EF B8 C4 EE l E          n          <
2050 B7 FD 3B FF 10 EE DF 41 77 76 CB 4F EO FA 7F 57 AwvwO W
2060 7D D7 FC B2 7D 6D ED 7E 9A E6 69 44 96 FF F3 B6 m          F
2070 79 2E 74 EF 73 DB FB 9F 1D 79 FC F2 7D ED 73 7A y. s          y          sz
2080 89 7A F8 58 7B 5E F5 41 F7 BA FE 57 75 EO BC DB z Z ^ A Wu
>md 00E8

```

```

00E0 E3 71 7E E3 71 7E E3 71 7E 21 20 7E E3 71 7E E3 q q q ! q
00F0 71 7E E3 71 7E E3 71 7E E3 71 7E E3 71 7E E3 71 q q q q q q
0100 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
0110 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
0120 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
0130 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
0140 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
0150 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
0160 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF

```

Absence de signal :

>md 2000

```

2000 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1
2010 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1
2020 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1
2030 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1
2040 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1
2050 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1
2060 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1
2070 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1
2080 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1

```

Présence de signal :

>md 2000

```

2000 AC DC 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 1% 1
2010 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1
2020 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1
2030 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1
2040 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1
2050 25 00 00 FF 10 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1
2060 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1
2070 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1
2080 25 00 00 FF FF 00 FA 31 25 00 00 FF FF 00 FA 31 % 1% 1

```

Question 13

La directive fcc permet d'implanter des octets en mémoire sous forme de chaîne de caractères

Seance 3

Question 17

Clr	SCCR1	*mise à zéro du registre de contrôle1 de com SCI (situé à l'adresse \$102C)
		*8 bits de données, 1 bit de start et 1 bit de stop (page 239)
Ldaa	#\$30	*charge l'accumulateur A avec la valeur hexa \$30
Staa	BAUD	*stocke le contenu de A dans le registre BAUD (situé à l'adresse \$102B) page 237
Ldab	#\$0C	*charge l'accumulateur B avec la valeur hexa \$0C
Stab	SCCR2	*stocke le contenu de B dans le registre SCCR2 (situé à l'adresse \$102D) page 240
Clr	\$2000	*efface l'adresse mémoire \$2000.
Loop	Idaa SCSR	*charge le registre A avec le contenu du registre SCSR (situé à l'adresse \$102E)
Anda	#\$20	*Effectue un ET logique entre A et la valeur hexa \$20 (pour tester le bit de poids 5)
Beq	loop	*branch loop tant que A est égal à zéro (tant que RDRF == 0 donc pas de donnée
		* arrivée)
Ldaa	SCDR	*charge le registre A avec la donnée située dans le registre SCDR (situé à l'adresse
		*\$102F)
Staa	\$2000	*stocke la donnée de A à l'adresse \$2000.

Vitesse : 9600 Baud

Inconvénient : Le mode de Polling ne fait qu'attendre une donnée.

Question 18

- Org \$2000
- Staa BAUD

Question 19