

La donnée série que l'on cherche à convertir en donnée parallèle obéit à la norme RS-232. Cette donnée sera constituée par 8 bits de donnée plus 1 bit de début, 1 ou deux bits de fin et un bit de contrôle de parité optionnel. Ces bits supplémentaires ne nous intéressent pas : Ils ne servent qu'à encadrer la donnée et le montage à réaliser ne doit pas les convertir.

Par convention, la normalisation de la liaison série se résume ainsi :

- *Le premier bit sortant est le bit du poids faible.*
- *Un bit de début fixé à 0. Un ou deux bits de fin fixés à 1.*
- *Contrôle optionnel de parité avec un bit supplémentaire.*
- *Vitesse programmable: 110, 150, 300, 600, 1200, 4800, 9600.... bit/sec*

La liaison série RS-232 réputée par sa robustesse équipe encore de nombreux appareils industriels et grand public ou des périphériques ne nécessitant pas un débit important de données. Mais elle a tendance aujourd'hui à disparaître au profit d'autres types de transmission comme l'USB, série également, plus rapide mais plus compliquée à gérer. La facilité de programmation et d'utilisation de la liaison RS-232 en font cependant une fonction encore très utilisée notamment en ce qui concerne la commande de systèmes par ordinateur.

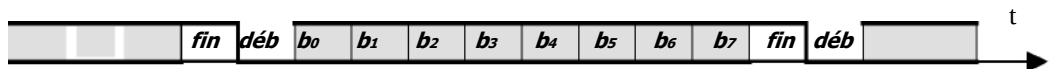
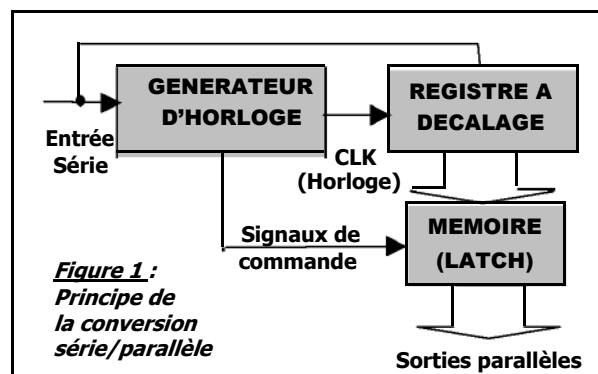
Le principe du montage à étudier est simple. Etant donné que le port série est à 1 au repos (signalant la fin d'un précédent transfert de données), il suffirait en premier lieu de détecter le premier front descendant de l'entrée série (sortie d'un port parallèle) et d'activer ensuite 8 fois l'horloge d'un registre à décalage cadencé à une vitesse correspondant au débit de la liaison. Celui-ci accumule les 08 données et grâce au signal de commande du 'Latch' les 08 données sont transférées en parallèle.

Le principe du système à étudier

La fig.1 représente le schéma fonctionnel du circuit à étudier.

Par souci de simplicité, nous limitons la présente étude à la conversion de mots de 4

bits ($b_4=b_5=b_6=b_7=0$) issus d'une liaison série sans contrôle de parité avec un seul bit de fin (figure ci-dessous). La vitesse de la transmission sera fixée à 1200bit/sec.



Modalités de remise des travaux d'élèves

*Les élèves devront préparer les questions marquées par un * et remettre ce travail préliminaire au moment de l'appel. Le compte rendu comportant les réponses aux questions posées sera remis à la fin de la séance.*

Pour en savoir plus

<http://fr.wikipedia.org/wiki/RS-232> http://fr.wikipedia.org/wiki/Communication_s%C3%A9rie
<http://www.tavernier-c.com/serie.htm> http://www.aurel32.net/elec/port_serie.php



Modifier la séquence de test de Q2 de manière à pouvoir générer en boucle le mot \$F. Effectuer le même test avec le mot \$0. Relever le chronogramme des différents signaux d'E/S (sous programme graphique de MSM). Distinguer les bits de début et de fin sur ce relevé.

Quel est le rôle du circuit 74HC174 ? A quel instant le signal LATCH de verrouillage est-il déclenché ?

Identifier la sortie parallèle correspondant au bit du poids faible B_0 . Validation Q2 et Q3.

J. GENERATION DES SIGNAUX DE COMMANDE

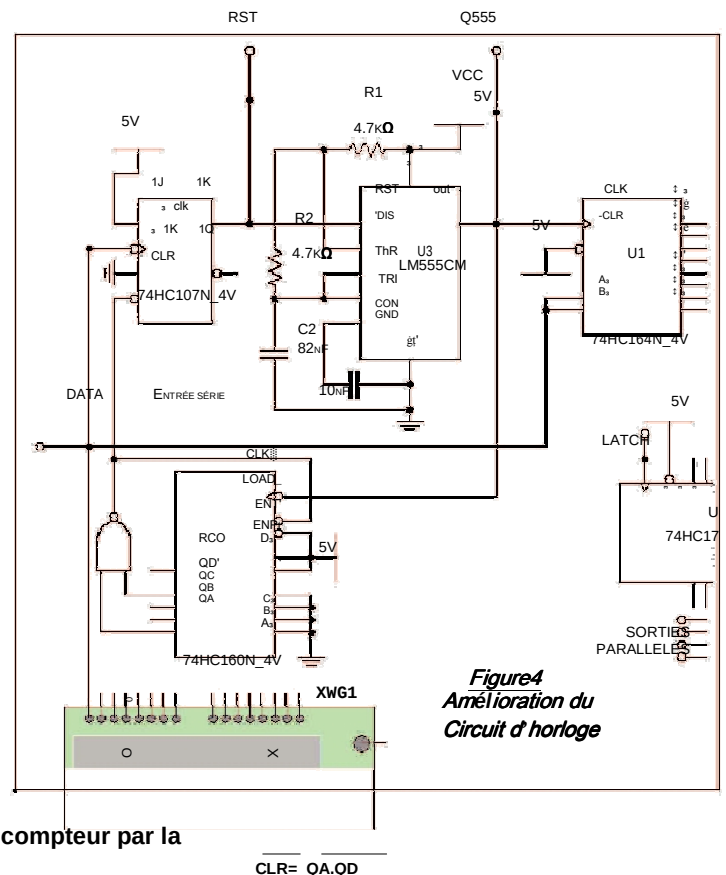
La solution que nous venons d'étudier n'est naturellement pas encore exploitable dans la mesure où elle confie la génération du signal de mémorisation (LATCH) au générateur de mots et que l'oscillateur tourne même lorsque la conversion n'est pas sollicitée.

Nous proposons donc d'améliorer le circuit de la figure 4 en complétant sa base de temps avec une bascule JK (74HC107) et un compteur 4 bits (74HC160) comme cela est indiqué ci-contre.

3 pts. Q4* En effet le signal d'horloge généré par l'oscillateur qui doit cadencer le registre à décalage doit aussi obéir à la périodicité des bits d'encadrement START/STOP.

- **Dénombrer en premier lieu tous les états parcourus par un compteur 4 bits comme le 74HC160 programmé comme suit : ENP=ENT= ! LOAD=5V et A=B=C=D=0**

- Quelle est la fonction réalisée sur le compteur par la rétroaction :



Q5*. Rappeler la table de vérité d'une bascule JK et préciser sa réaction face à un front actif lorsque $J=1$ et $K=0$.

3pts. Q6. Saisir la bascule et le compteur comme ils sont représentés sur la fig.4 et simuler l'état d'un port série
siège de la séquence \$0\$, \$F\$, \$5\$ après un temps de repos (par exemple une dizaine de bits de STOP) selon la
norme RS232.

- Relever le chronogramme des signaux DATA, RST, Q555, les sorties du compteur et son signal de réinitialisation. Commentaire.
- Refaire la même simulation avec RST=1 et conclure sur le rôle de la bascule JK.
- A quel endroit doit-on récupérer le signal LATCH pour mémoriser le résultat d'une conversion S/P ? Si nécessaire, compléter ou rectifier le circuit d'horloge avant de passer à la suite.

3 pts

Q7. Simuler le circuit complet avec la même séquence qu'en Q6.

- Relever le chronogramme des différents signaux d'E/S en précisant l'emplacement des bits de START/STOP. • Commenter ces résultats et corriger les éventuels erreurs de conversion S/P.
- **Validation** O5 et O6.