

SYSTEMES NUMERIQUES TP N 1

Bascules, Compteurs et Registres

24/03/2011

Table des matières

Rappels ou prise en main de Multisim.....	3
Question 0	3
Question 1	3
I. La bascule D	4
Question 2	4
Question 3	5
II. Les compteurs.....	6
Question 4	6
Question 5	7
Question 6	8
Question 7	8
Question 8	8
III. Les registres	10
Question 9	10
Question 10	11

Rappels ou prise en main de Multisim

Quelques fonctionnalités

Question 0



Groupe de portes logiques, permet de placer une porte logique de type CMOS



Permet de placer un indicateur (ex : Afficheur digital)



Permet d'afficher le graph de la mesure en question.



Permet la génération de mots.



Permet de tracer des chronogrammes.

Options de simulation

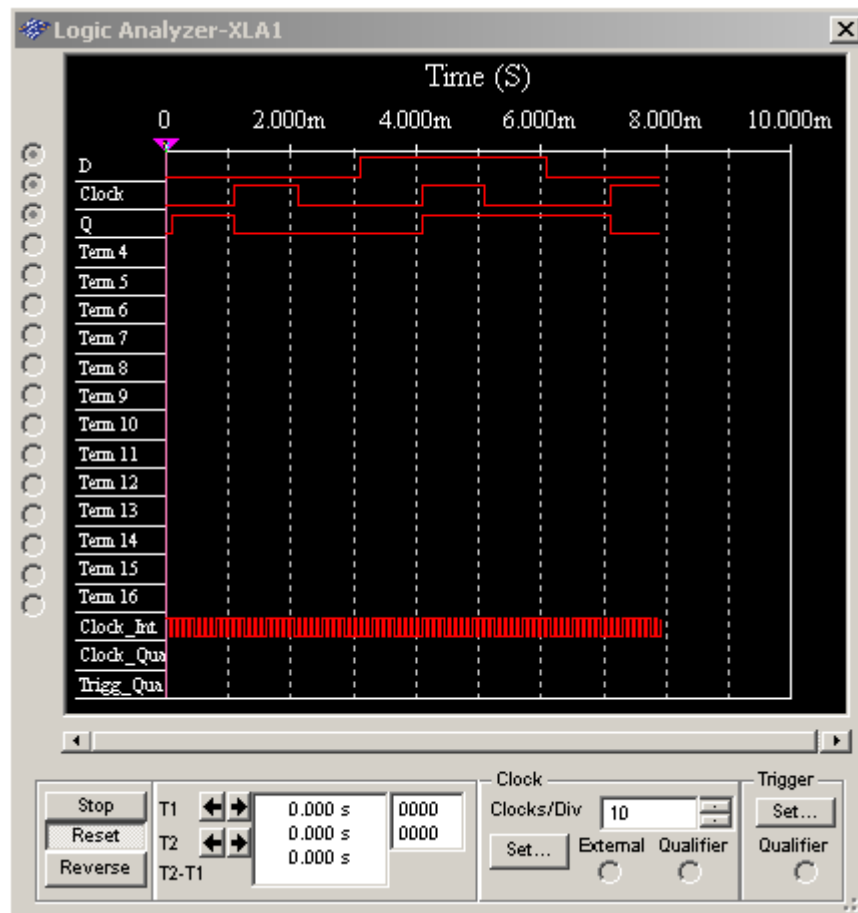
Question 1

Clock rate correspond à la fréquence de l'horloge de l'analyseur, elle doit être très supérieure à la fréquence de génération du mot pour afficher avec le moins de retard possible les changements d'état.

I. La bascule D

Table de vérité

Question 2

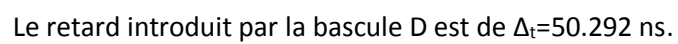


A l'instant t_1 l'entrée $D=0$ et la sortie $Q=0$ et à l'instant t_2 l'entrée $D=0$ et $Q=1$. Cela montre que le circuit prend en compte l'état précédent, c'est un circuit séquentiel.

Table de vérité de la bascule D

H	D	Q_{t+1}	$\overline{Q}_{t+1}$
$\mathcal{F}$	0	0	1
$\mathcal{F}$	1	1	0
Autre	ϕ	Q_t	$\overline{Q}_t$

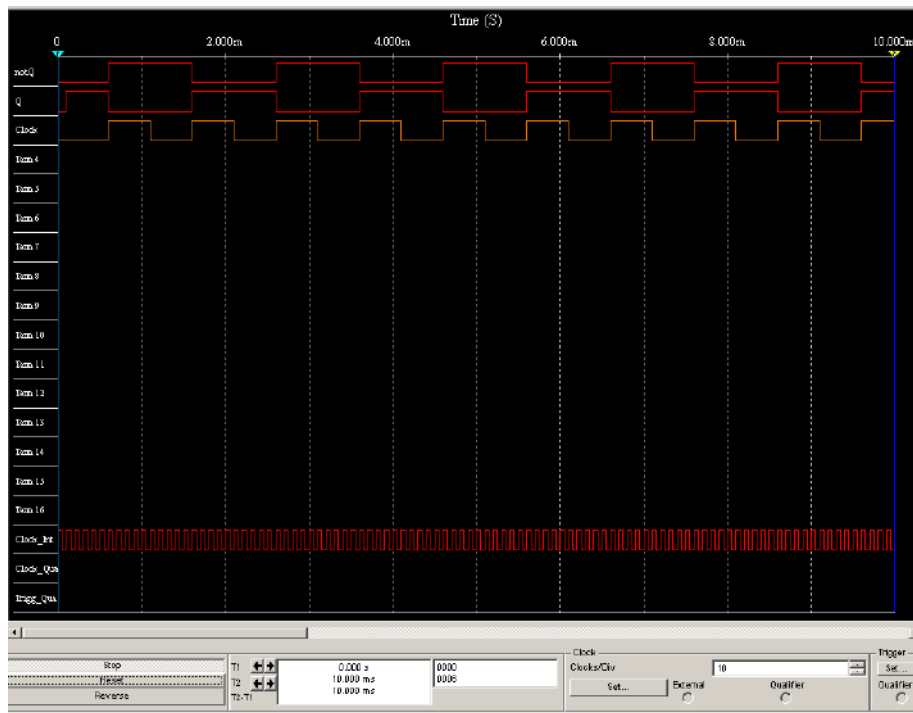
Question 3



II. Les compteurs

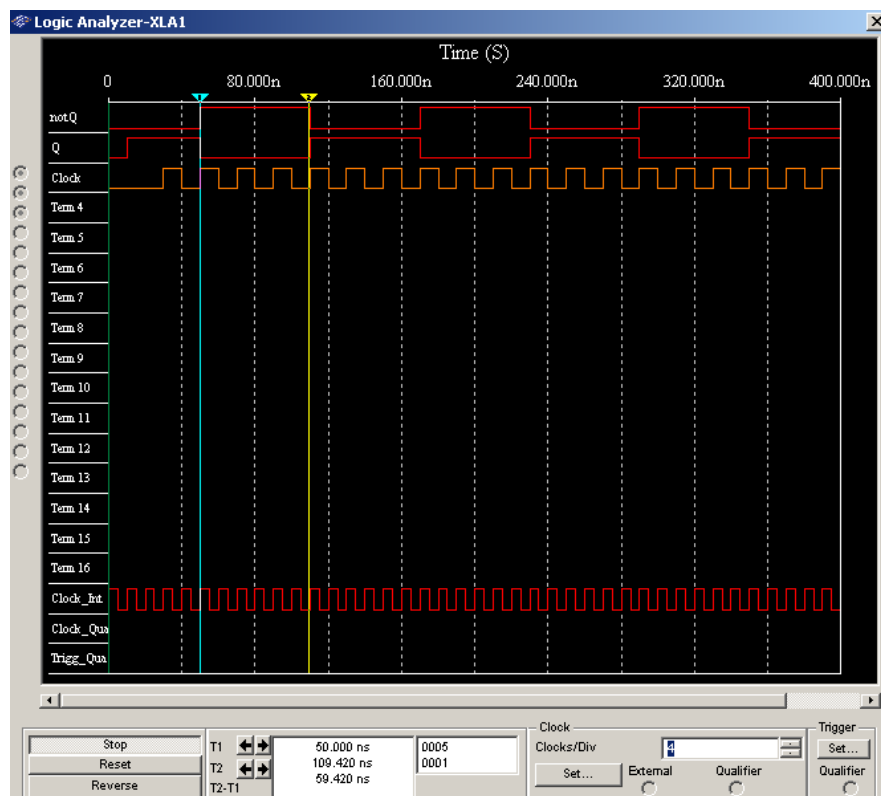
Compteur asynchrone

Question 4



Ce circuit divise la fréquence de l'horloge par deux.

Pour une horloge à 50MHz on obtient ce chronogramme :



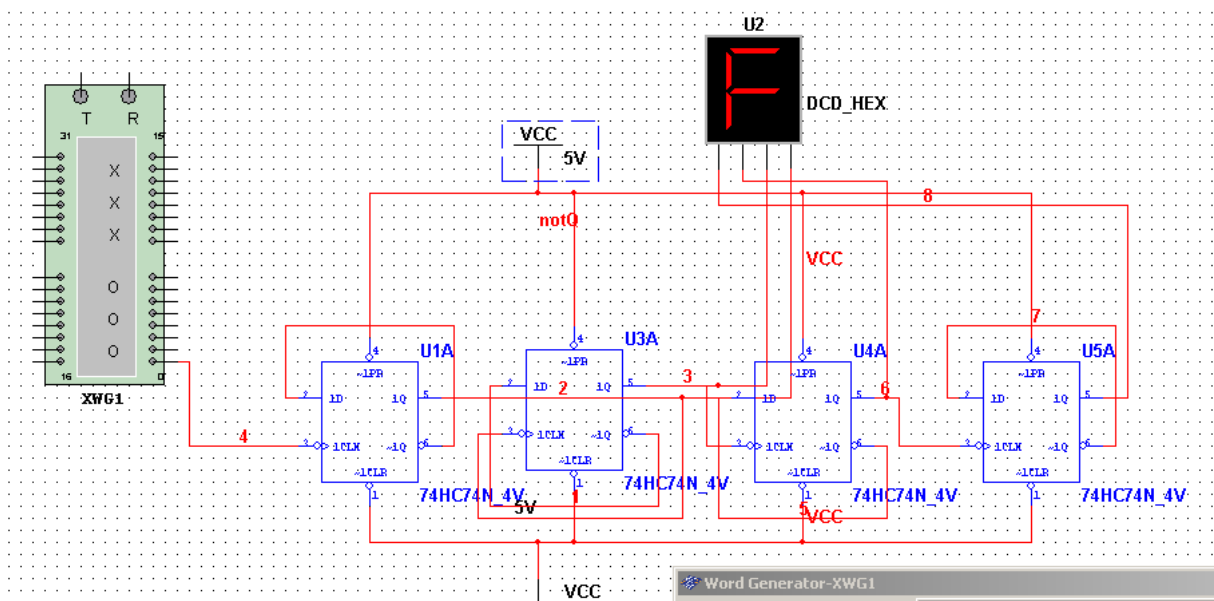
On constate que la fréquence n'est plus divisée par deux mais par trois, ceci est dû au retard accumulé lors de la propagation du signal à travers les portes logiques.

Théoriquement la limite de fonctionnement en haute fréquence est de $f_{clock} < \frac{1}{T_{propagation\ porte}}$ soit $\frac{1}{50.10^{-9}} = 20\text{MHz}$.

En mode step, on observe que proche de cette fréquence théorique on conserve la division par deux de la fréquence de l'horloge mais avec un retard assez important (environ 36ns).

Question 5

Décompteur 4 bits avec mise en cascade de bascules D



Question 6

La vitesse maximale de ce comptage est inférieure à 5MHz. En effet on a 4 bascules D en cascade le retard est donc multiplié par 4 d'où la nouvelle fréquence limite $\frac{1}{4 \times 50.10^{-9}} = 5\text{MHz}$.

Le principal inconvénient de la technologie asynchrone est l'apparition d'états transitoires. On est donc obligé de limiter la fréquence de fonctionnement du circuit pour amoindrir l'impact des états transitoires.

Compteur synchrone

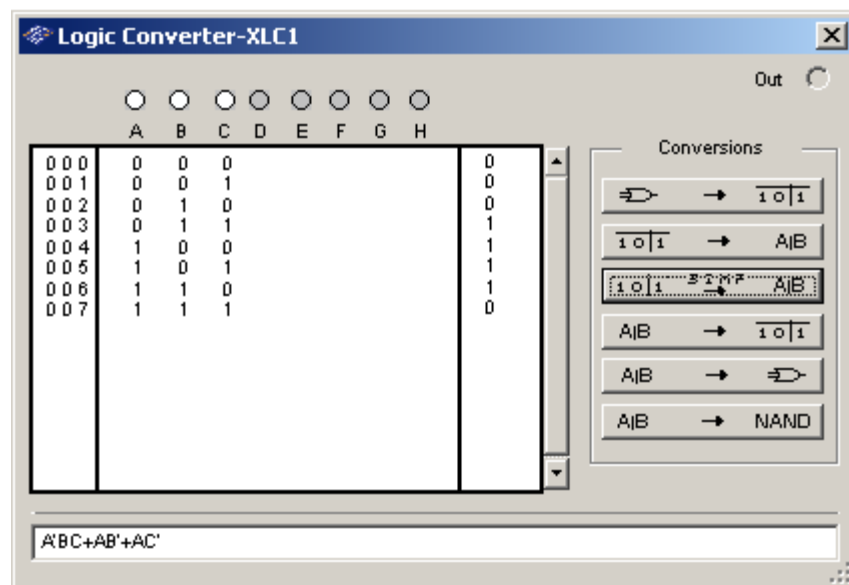
Question 7

$Q1_t$	$Q2_t$	$D_2 = Q1_t \oplus Q2_t$	$Q1_{t+1}$	$Q2_{t+1}$
0	0	0	1	0
1	0	1	0	1
0	1	1	1	1
1	1	0	0	0

On constate que l'on a bien un compteur.

Question 8

Tables de vérité de D3



Par simplification on obtient $D3 = Q3 \oplus Q2Q1$

Tables de vérité de D4

Logic Converter-XLC2

Out ☐

	A	B	C	D	E	F	G	H
000	0	0	0	0				0
001	0	0	0	1				0
002	0	0	1	0				0
003	0	0	1	1				0
004	0	1	0	0				0
005	0	1	0	1				0
006	0	1	1	0				0
007	0	1	1	1				1
008	1	0	0	0				1
009	1	0	0	1				1
010	1	0	1	0				1
011	1	0	1	1				1
012	1	1	0	0				1
013	1	1	0	1				1
014	1	1	1	0				1
015	1	1	1	1				0

Conversions

$\Rightarrow$ $\rightarrow$ 1011

$\overline{1011} \rightarrow A \oplus B$

$\overline{1011} \xrightarrow{\text{IMP}} A \oplus B$

$A \oplus B \rightarrow \overline{1011}$

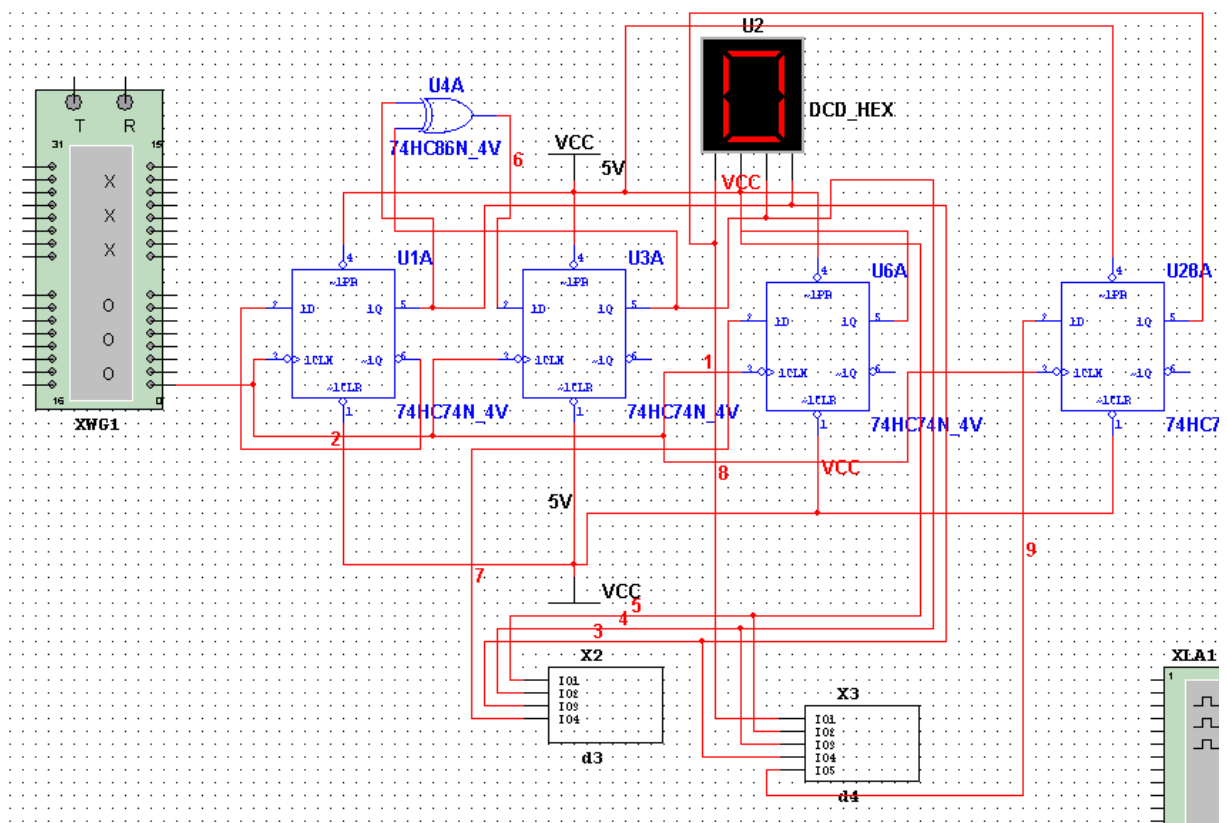
$A \oplus B \rightarrow \Rightarrow$

$A \oplus B \rightarrow \text{NAND}$

$A'B'CD + AB' + AC' + AD'$

Par simplification on obtient $D4 = Q4 \oplus Q3Q2Q1$

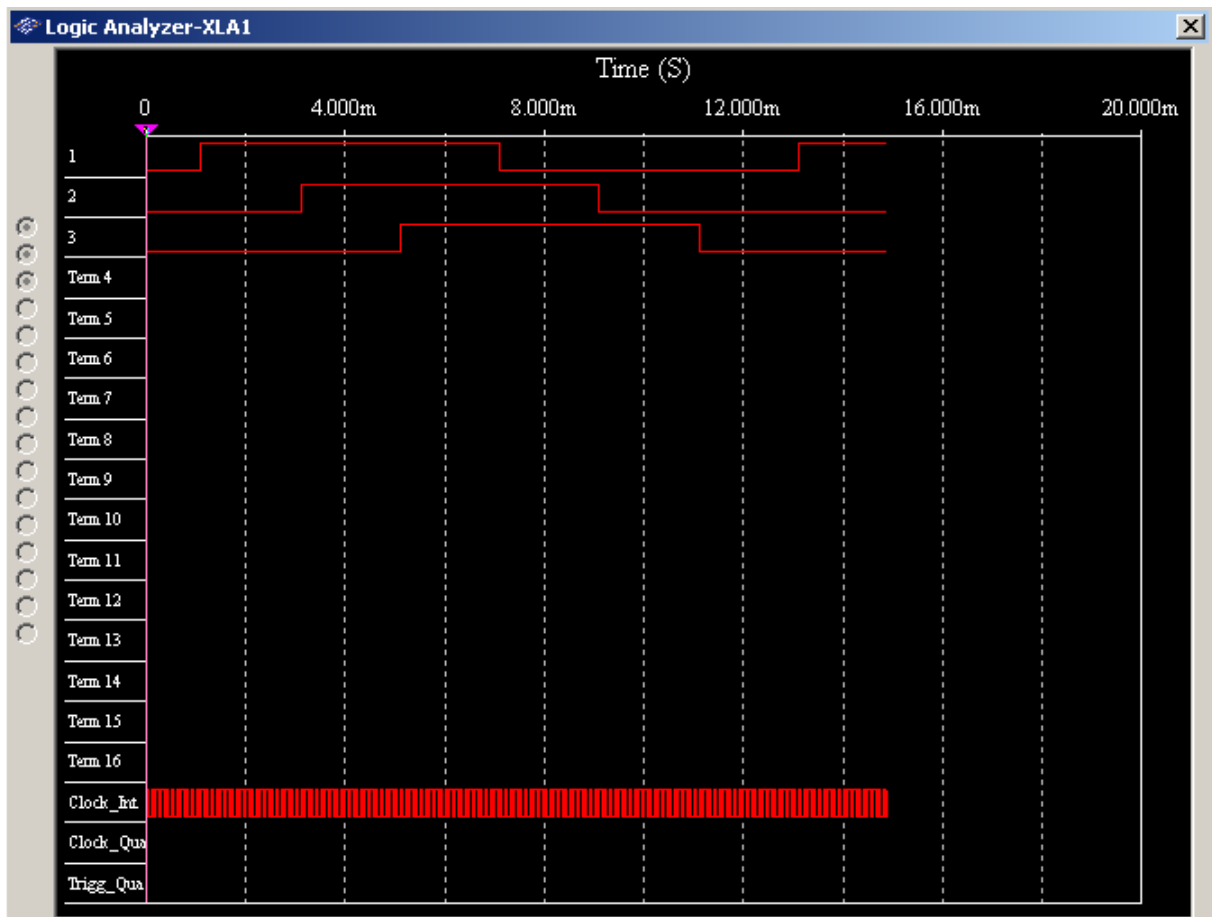
Circuit du compteur synchrone de 4 bits :



III. Les registres

Chargement série / parallèle

Question 9



Pour faire un registre à chargement série il suffit de connecter l'entrée série sur D1 à la place de $\overline{Q3}$.

Question 10

