

SYSTEMES NUMERIQUES TP N 2

Conversion série-parallèle

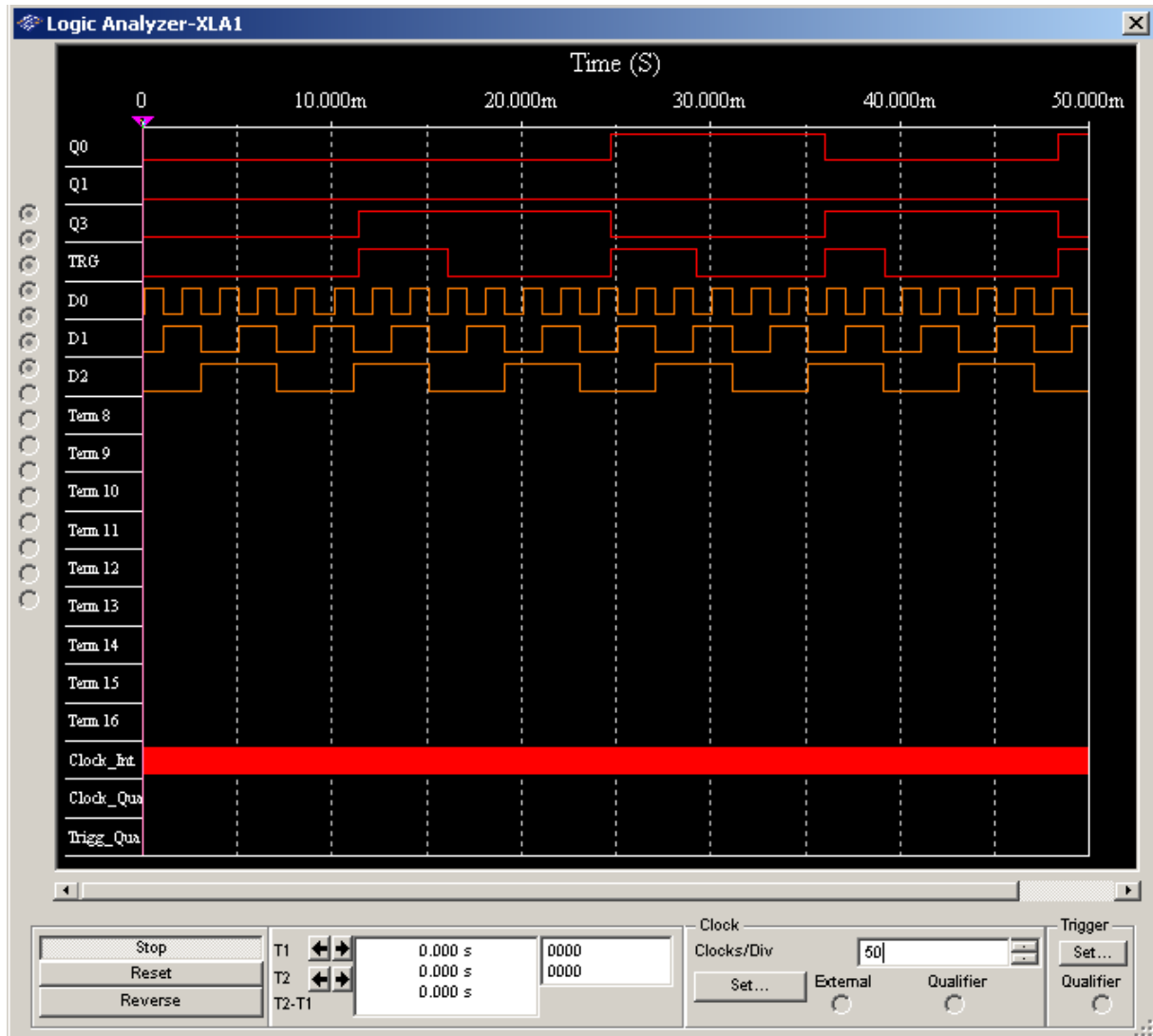
31/03/2011

Table des matières

0.	COMPLEMENT TP1 : LES REGISTRES	3
	Question 0	3
I.	LE PRINCIPE DE FONCTIONNEMENT D'UN CONVERTISSEUR S/P	4
	Question 1	4
	Question 3	5
II.	GENERATION DES SIGNAUX DE COMMANDE.....	7
	Question 6	7
	Question 7	Error! Bookmark not defined.

0. COMPLEMENT TP1 : LES REGISTRES

Question 0

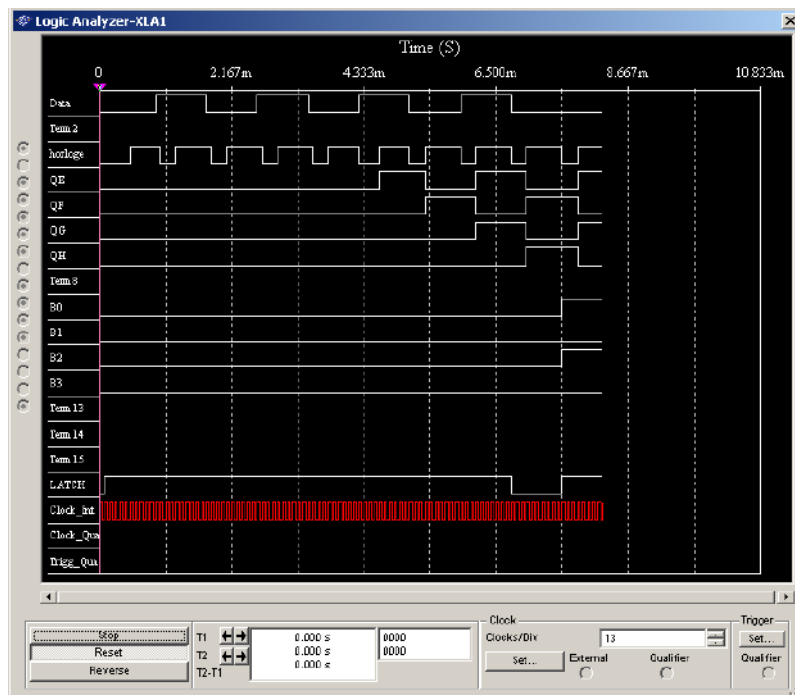


On remarque qu'il y a une recopie des entrées sur le front montant de TRG. On pourra utiliser ce circuit pour réaliser le chargement parallèle d'un registre en remplaçant TRG par une entrée de commande. On ne peut pas faire de chargements séries avec ce circuit.

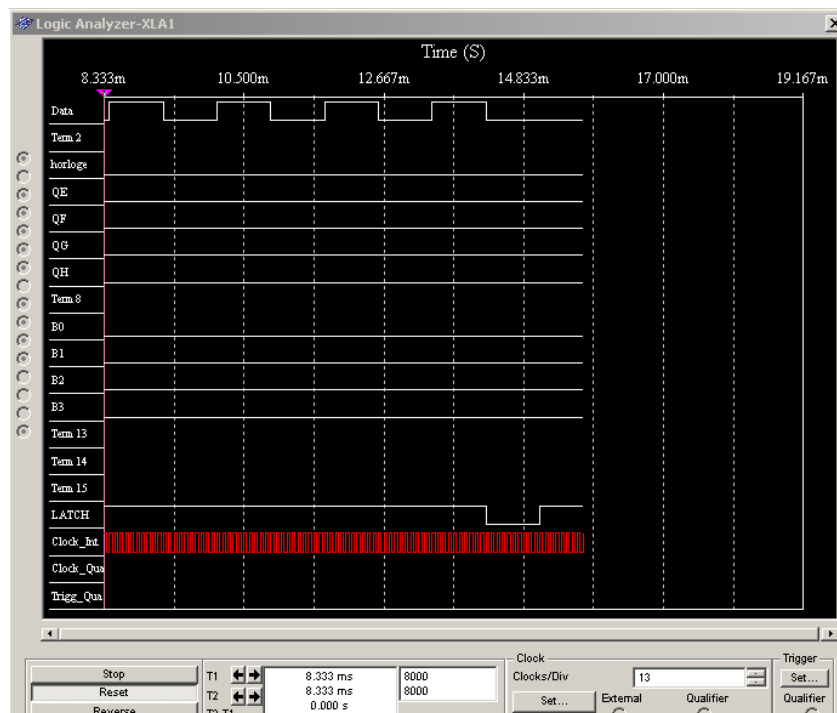
I. LE PRINCIPE DE FONCTIONNEMENT D'UN CONVERTISSEUR S/P

Question 1

RST= 5V



RST= 0V



Remarque : l'oscillateur est actif si RST est à 5V.

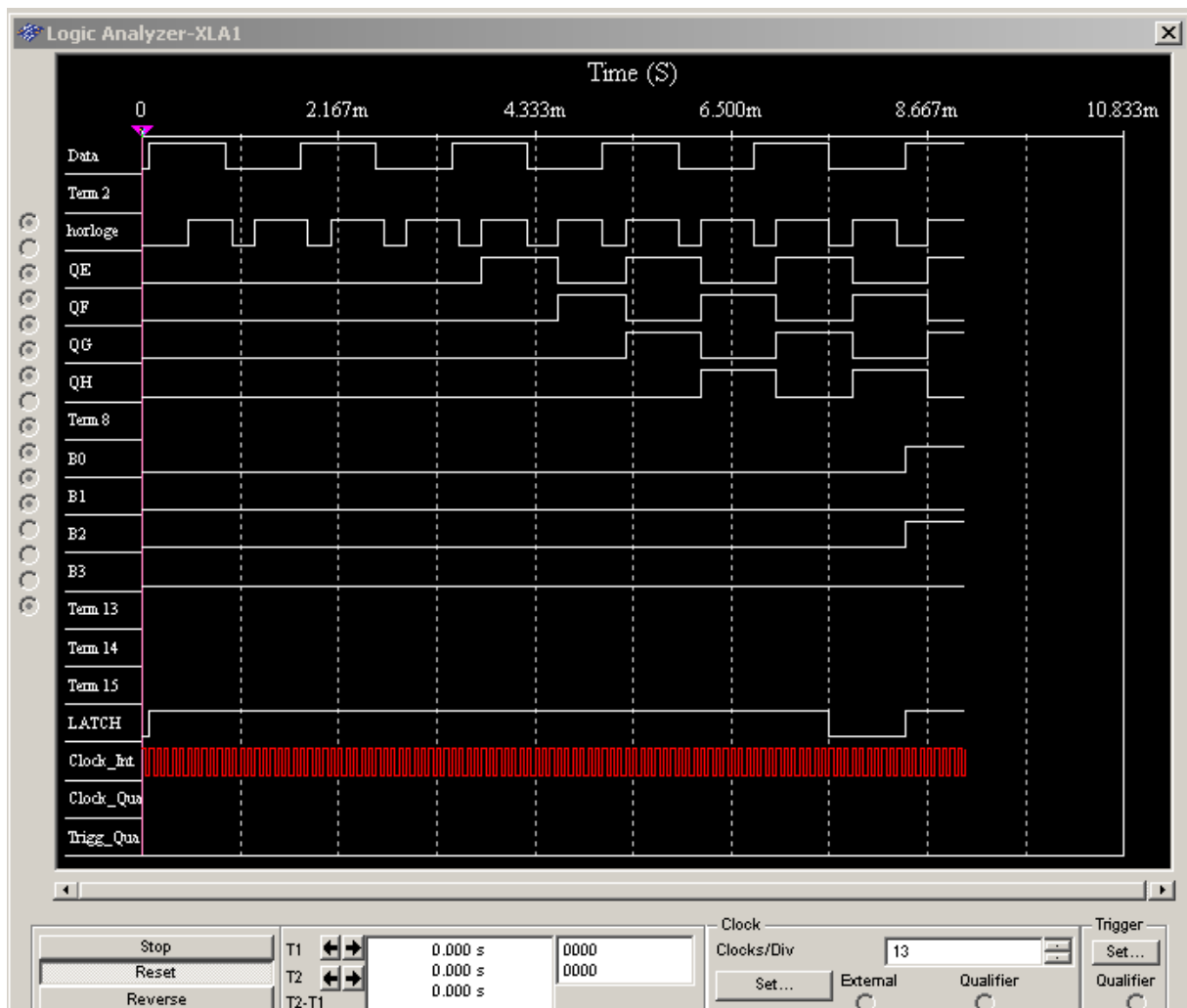
Pour afficher avec le moins de retard possible les changements d'état, la fréquence de l'horloge interne de l'analyseur (fréquence de rafraîchissement) doit être de 10 fois la fréquence de génération du mot or la fréquence de génération du mot est de 1.2kHz donc 12kHz pour l'horloge interne de l'analyseur.

RST est une entrée d'activation, lorsqu'elle est active (5V) le générateur de fréquence fonctionne.

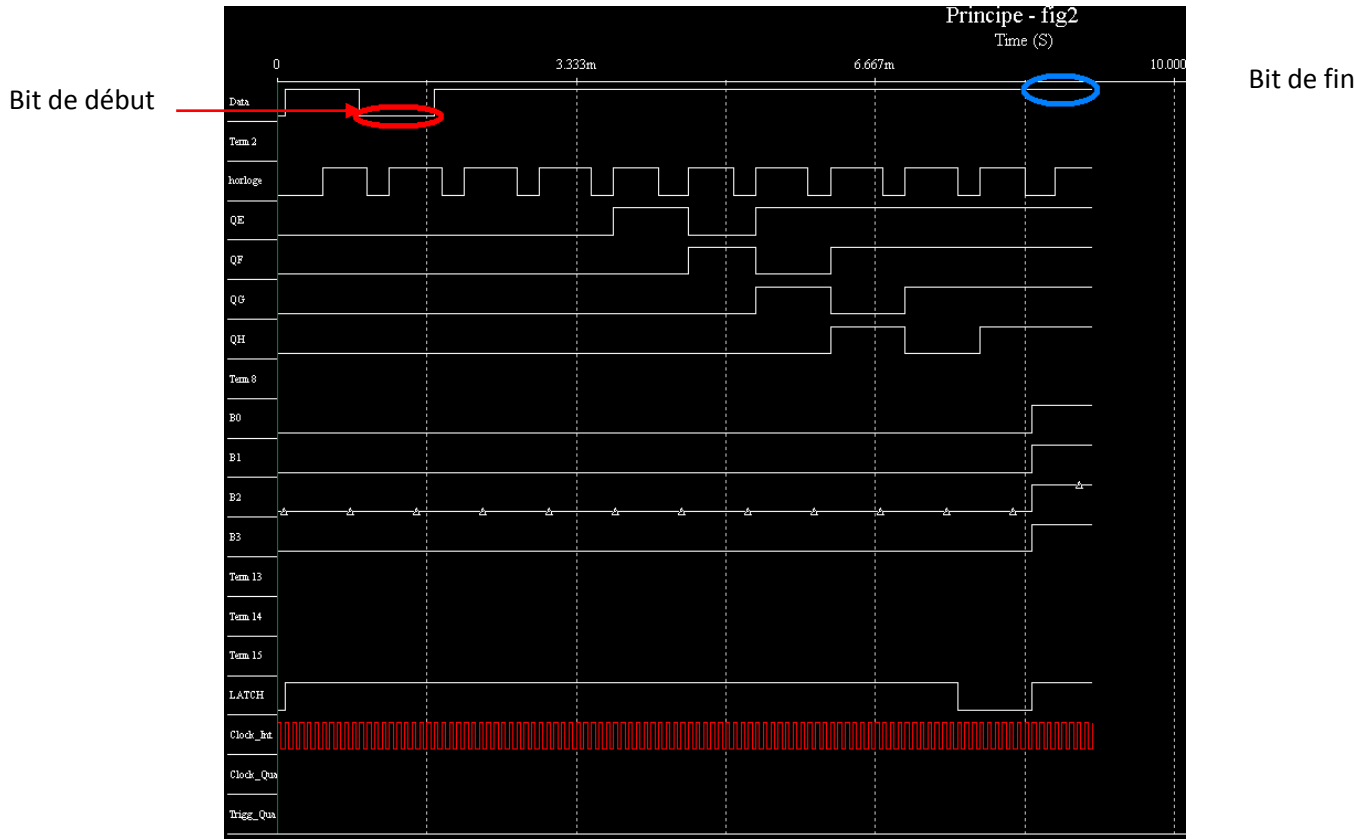
La fréquence générée par cette base de temps est d'environ $f \approx \frac{1}{826 \times 10^{-6}} \approx 1210 \text{ Hz}$

Question 3

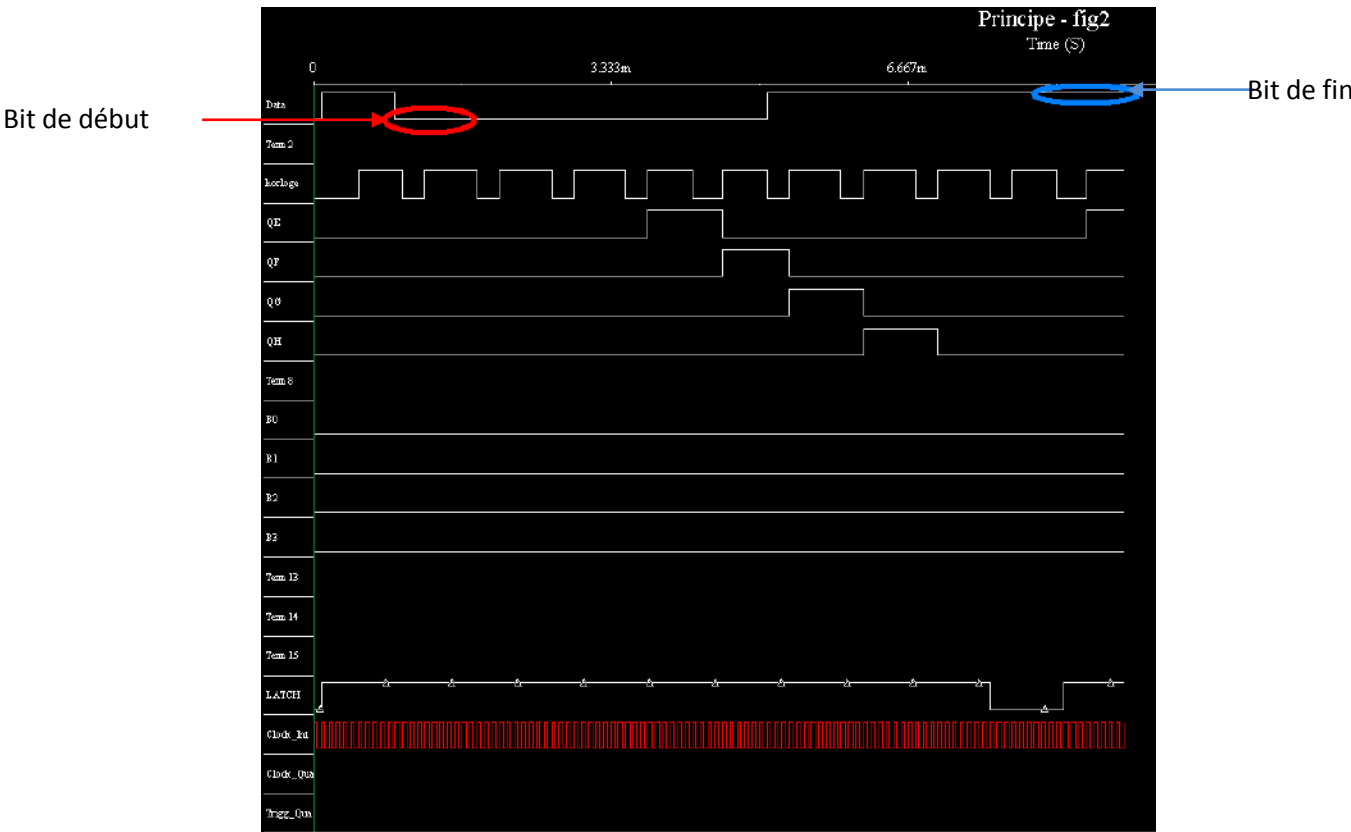
Simulation du convertisseur



Simulation du convertisseur avec le mot \$F



Simulation du convertisseur avec le mot \$0



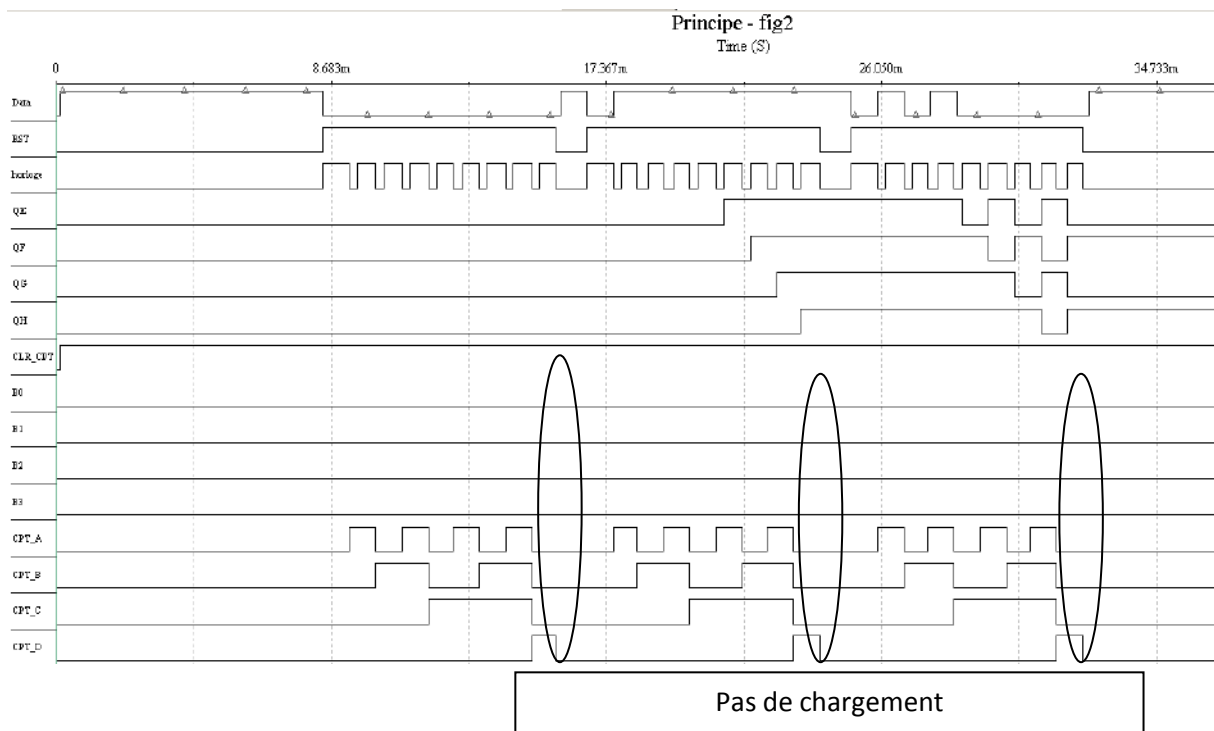
Cf. les chronogrammes pour les bits de débuts et de fins.

Le circuit 74HC174 sert à la mémorisation des 8 bits. Le signal LATCH de verrouillage est déclenché sur le front du 4^{ème} bit du générateur de mot. La sortie parallèle correspondant au bit de poids faible B₀ est 1Q sur le circuit 74HC174 c'est-à-dire QE sur le 74HC164.

II. GENERATION DES SIGNAUX DE COMMANDE

Question 6

Chronogramme de la conversion S/P : LATCH déconnecté



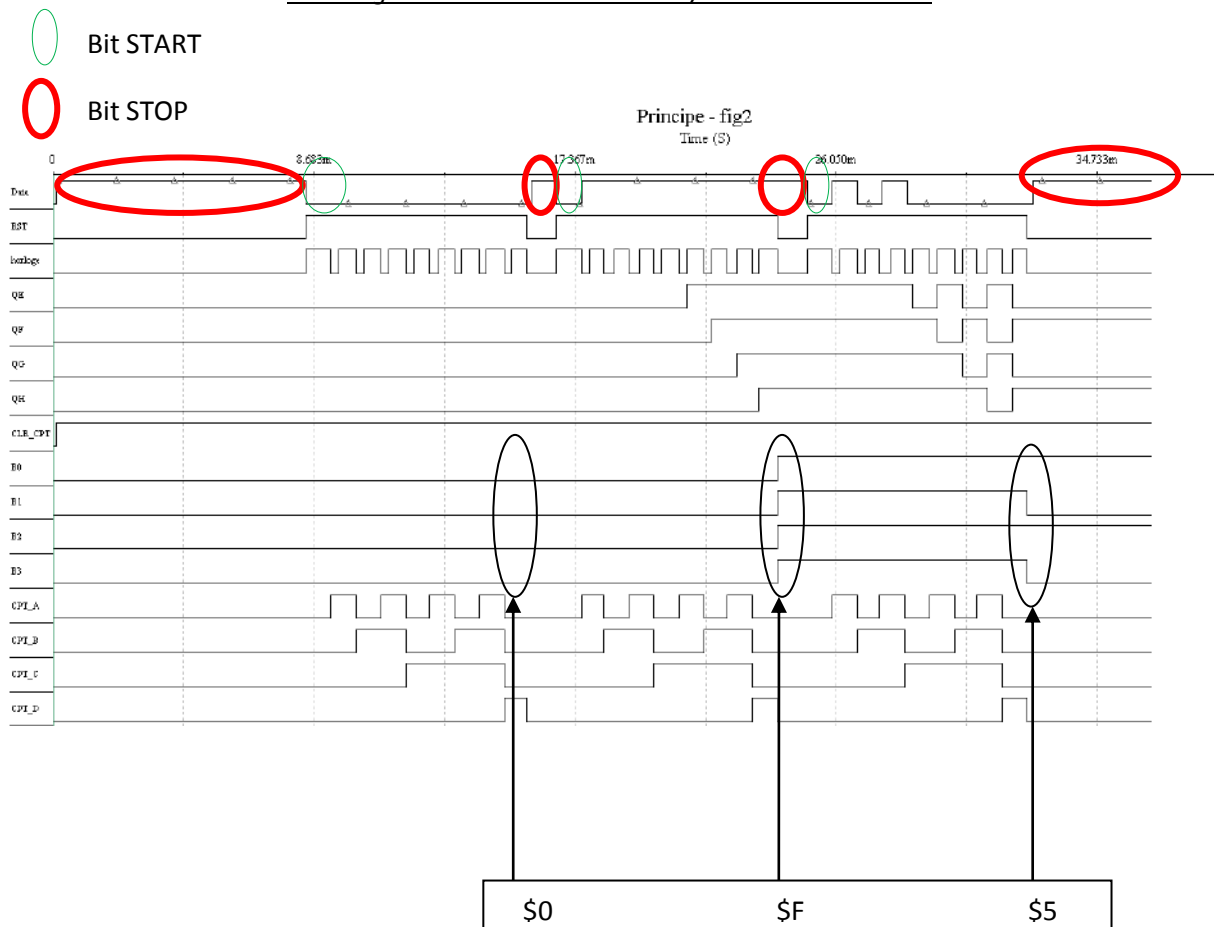
Le passage de 1 à 0 de DATA initialise la conversion en activant RST c'est-à-dire en déclenchant l'horloge du circuit Q555. Le compteur compte 8 fronts d'horloge, soit la transmission de 8 bits. Enfin il réinitialise le compteur au front suivant.

Si RST=1 alors l'horloge oscille en permanence et le chargement parallèle n'est pas synchronisé avec les mots de 8 bits de la transmission série. Le rôle de la bascule JK est donc d'activer l'horloge uniquement lors de la réception d'un mot de 8 bits.

On récupère le signal LATCH sur le 4^{ème} bit du compteur.

Question 7

Chronogramme de la conversion S/P : LATCH connecté



Le comportement du circuit est le même que décrit dans la Q6 avec en plus l'activation du **LATCH** que l'on a connecté sur le 4^{ème} bit du compteur pour charger en parallèle les données du registre 74HC164N.