

Ce premier TP de Systèmes Numériques est dédié à une introduction à la logique séquentielle. Contrairement à la logique combinatoire, les E/S des circuits étudiés ici dépendent de l'état des entrées et aussi du temps. La réponse des circuits ne dépend donc pas d'une « combinaison » particulière des entrées mais aussi de leur passé. La première partie de ce TP conduit les élèves à étudier la cellule séquentielle la plus élémentaire : la bascule D. L'étude des circuits plus complexes comme les compteurs est basée sur celle de la bascule D et de la bascule JK... L'élève doit faire les préparations avant la séance et remettre les réponses aux professeurs au début de celle-ci. Il doit faire vérifier certaines questions précises et réaliser un rapport qui lui sera utile pour l'examen de TP. Les questions notées avec un Astérix '' sont des préparations.*

0. RAPPELS POUR L'UTILISATION DE MULTISIM

QUELQUES FONCTIONNALITES

P0*. Rappeler les fonctionnalités de MULTISIM disponibles à partir des raccourcis suivants : (utiliser le manuel si nécessaire).



OPTIONS DE SIMULATION

P1*. L'outil WORD GENERATOR de MULTISIM permet de générer des mots binaires de durée $\tau=1/\text{Frequency}$. L'observation de ces signaux est assurée par l'analyseur, le LOGIC ANALYSER, qui échantillonne à une fréquence Clock/Set/Clock Rate.

- Expliquer pourquoi nous veilleront toujours à ce que : Clock Rate $\gg$ Frequency.
- Pour toutes les manipulations qui suivront, nous prendrons : Clock Rate = 10.Frequency.
- Tous les Circuits intégrés seront choisis dans la famille 74HCXX.



Figure 0 : Fenêtres de dialogue

I. LA BASCULE D (OU JK)

TABLE DE VERITE

Le circuit CMOS 74HC74 intègre 2 bascules D et présente pour chaque bascule 2 entrées asynchrones d'initialisation, PR et CLR.

Préparation1*.

Donner la table de vérité et préciser le fonctionnement d'une bascule D et d'une bascule JK. A quoi sert le 'PR et le CLR' ?

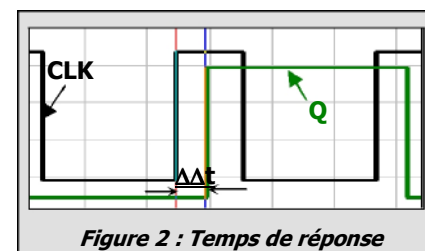
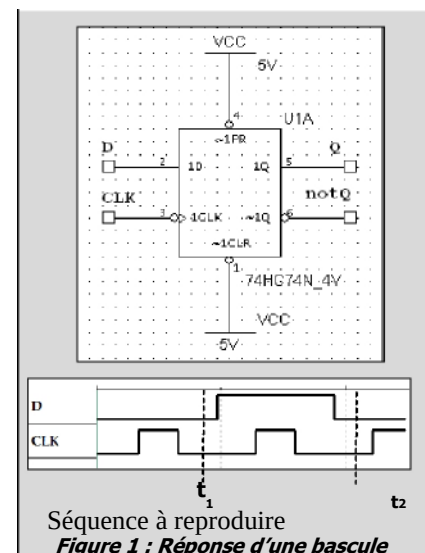
Q1. Saisir ce circuit et attaquer ses entrées D (data) et CLK (clock) avec la séquence indiquée sur la figure ci-contre au moyen d'un WORD GENERATOR de MULTISIM (fréquence 100Hz).

- Relever les E/S du circuit en mode burst sur un LOGIC ANALYSER de MULTISIM (fréquence 1kHz : Clock/set/ClockRate). Que se passe-t-il si un des VCC ou les deux sont à '0' ? Remarque ?
- Comparer ces E/S aux instants t_1 et t_2 et en déduire la nature séquentielle de la réponse du circuit. (E/S = Entrées/Sorties)
- Dresser la table de vérité de la bascule en fonction du front actif de son horloge. Comparer avec la théorie?

Le temps de réponse d'une bascule (quelques dizaines de nanosecondes) n'est pas nul et peut poser des problèmes de réalisation dans les applications en hautes-fréquences.

Q2. Régler la fréquence du WORD GENERATOR de MULTISIM à 10MHz et celle de l'analyseur à 100MHz. Se mettre en mode 'STEP by STEP' et ne réaliser que trois 'STEP' : cela suffit.

- Pour la même séquence d'entrée, relever simultanément l'horloge et la sortie de la bascule en réglant soigneusement la base de temps de l'analyseur. Mesurer le temps de réponse Δt de la bascule au moyen des curseurs du sous-programme graphique. Voir figure2. Bien choisir la base de temps.
- Revenir sur les réglages de Q1.



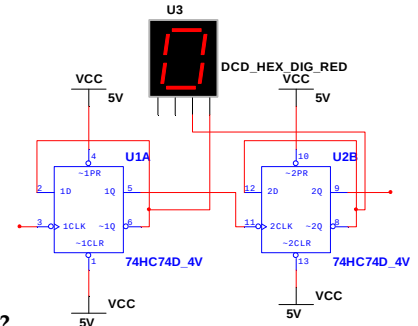
II. LES COMPTEURS 'D'

COMPTEUR ASYNCHRONE

Boucler la sortie notQ de la même bascule sur son entrée de donnée et générer un signal binaire à 1kHz sur son horloge. Se munir d'un afficheur hexadécimal à décodeur intégré (DCD_HEX).

Q3. Observer les E/S (CLK et Q) au **logique analyseur** et conclure sur la fonction réalisée par la bascule et sur le rapport des fréquences entre les E/S, ainsi que le comptage réalisé. **On a ici un compteur modulo 4 (ou deux bits) pourquoi ?**

- Même expérience avec une horloge à 50MHz.



- Quelle est théoriquement la limite de fonctionnement en HF ?
- Réalisation, simulation en mode **Step by Step**.
- Revenir sur les réglages de Q1.

Q4. Comment peut-on réaliser un décompteur 4 bits avec une mise en cascade de circuits identiques à celui de la figure 3 ?

- Réaliser ce décompteur. **Vérification1**

Figure 3 : Division de fréquence

- Illustrer son bon fonctionnement au moyen d'une simulation en mode **STEP BY STEP** et en affichant le résultat du décomptage. Voir les chronogrammes !!!!

Q5. Réaliser de la même manière un compteur asynchrone 8 bits en rajoutant combien de bascules ? Quelle est la vitesse maximale de comptage ? **Vérification expérimental ?**

COMPTEUR SYNCHRONE 'D'

Afin de remédier à ce problème, l'idée consiste à cadencer les bascules avec le même signal d'horloge et d'injecter sur leur entrée de donnée un signal judicieusement calculé au moyen d'une fonction logique de l'état des bascules à un instant donné comme cela est représenté sur la figure 4 pour un compteur 2bits. Voir le cours (table de vérité et simplification par Karnaugh).

Préparation2*.

En utilisant la table de vérité de la bascule D et la table des états du comptage, donner les équations des entrées D pour un compteur modulo 4.

Donner le schéma d'un tel compteur.

Q7. Simuler ce circuit avec une horloge à 1kHz et justifier à partir d'une table des états du compteur la fonction :

$$D2 = f(Q1, Q2) = Q1 \oplus Q2 \quad \text{NB :} \quad \bar{X}.Y + \bar{X}.Y = X \oplus Y$$

Q8. Compléter ce montage avec 2 autres bascules et les circuits combinatoires nécessaires à la réalisation d'un compteur 4bits. Pour cela, dresser en premier lieu la table de vérité des entrées D3 et D4 de ces bascules en fonctions des états antérieurs des sorties en utilisant la table de vérité de la bascule D.

- En déduire l'équation simplifiée de ces entrées (utiliser le LOGIC CONVERTER de MULTISIM, ou les tables de Karnaugh).
- Simulation en mode **STEP BY STEP** et affichage du résultat du décomptage sur un DCD_HEX. **Vérification2.**

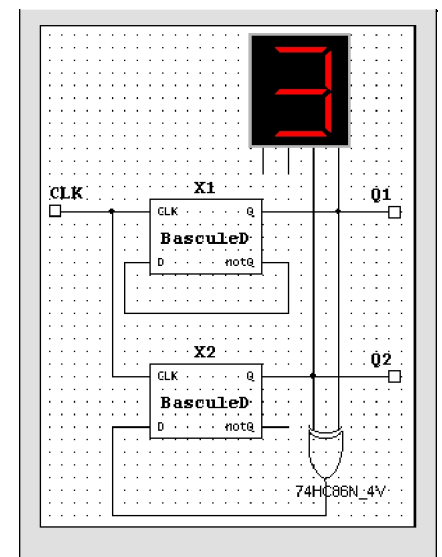


Figure 4 : Compteur 2bits

II. AVEC BASCULES J-K

COMPTEUR SYNCHRONES 'JK'

Préparation3*.

Réaliser un compteur synchrone modulo 7 à base de bascule JK

- . Combien de bascules nécessite-t-il ?
- . Donner la table de vérité de la bascule JK
- . Donner la table des états du comptage.
- . En déduire les équations des entrées J et K.
- . Donner le schéma du compteur.

Q9. Réaliser le montage avec Multisim.

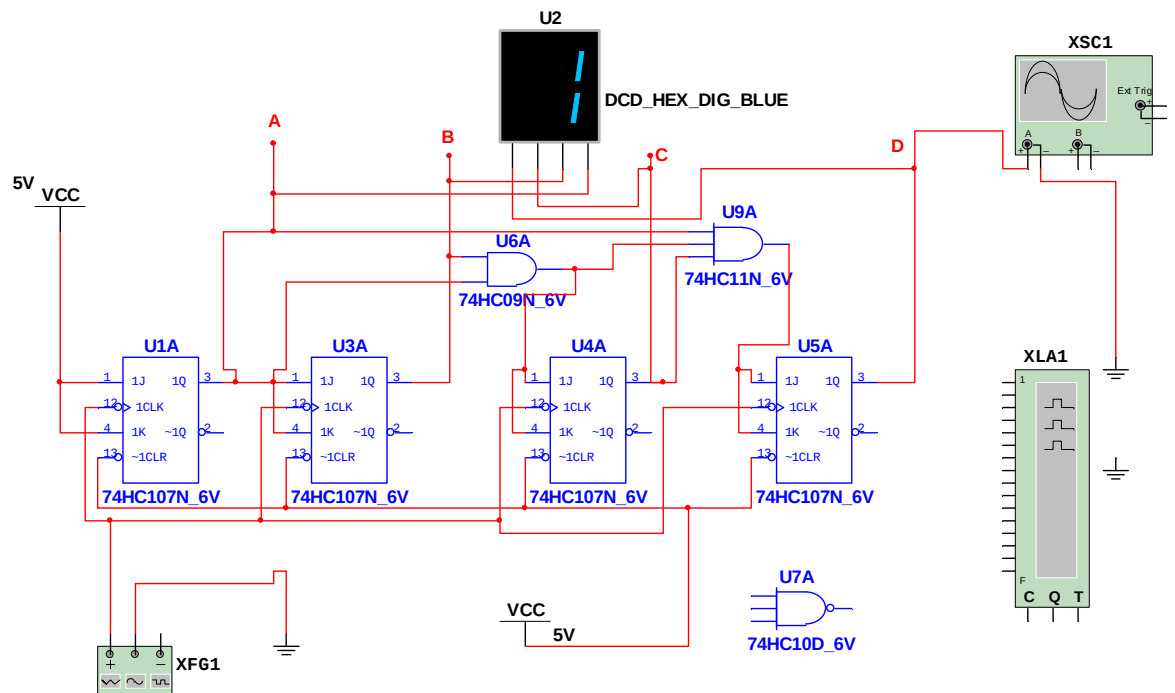
Tester ce montage en câblant une horloge à 100Hz).

Relever les chronogrammes avec le logique analyseur et comparer avec la théorie ?

Mettre un afficheur et confirmer votre réponse.

Vérification2.

Q10. Tester ce montage et déterminer le cycle de fonctionnement ?



Compteur synchrone à base de bascules J-K.